

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.


**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

A2

SEMICONDUCTOR LASER AND MANUFACTURE THEREOF

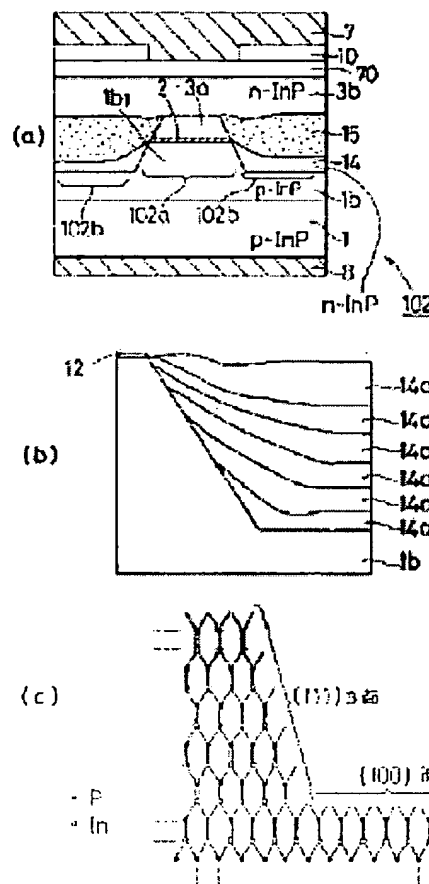
Patent number: JP7022691
Publication date: 1995-01-24
Inventor: KIMURA TATSUYA; others: 02
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
 - international: H01S3/18
 - european:
Application number: JP19930160632 19930630
Priority number(s):

Also published as:

 US5452315 (A1)
Abstract of JP7022691

PURPOSE: To obtain a semiconductor laser able to reduce a futile current not contributing to laser oscillation having a high laser characteristic and reliability.

CONSTITUTION: This semiconductor laser is provided with a mesa-striped part 102a having a (111) B face as its side consisting while holding an undoped active layer 2 between a p-InP lower clad layer and an n-InP upper clad layer along with being provided with the light-current confining regions 102b consisting by laminating an n-InP current block layer 14 and a high-resistance InP layer 15 doped with Fe on a p-clad layer 1b on both sides of the mesa-striped part 2a. Further, the light-current confining regions 102b are made to have the structure where a side end located on the (111) B mesa side of the n-InP current block layers 14 is located on a border between the n-InP upper clad layer 3a and the active layer 2.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-22691

(43) 公開日 平成7年(1995)1月24日

(51) IntCl.⁶

H 0 1 S 3/18

識別記号

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数13 O L (全 28 頁)

(21) 出願番号 特願平5-160632

(22) 出願日 平成5年(1993)6月30日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 木村 達也

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロデバイス研究所内

(72) 発明者 松本 啓資

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロデバイス研究所内

(72) 発明者 武本 彰

兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロデバイス研究所内

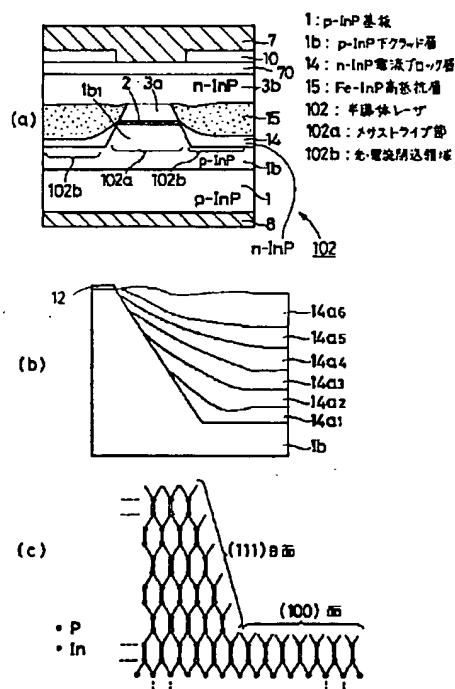
(74) 代理人 弁理士 早瀬 憲一

(54) 【発明の名称】 半導体レーザとその製造方法

(57) 【要約】

【目的】 レーザ発振に寄与しない無効電流を低減でき、レーザの特性及び信頼性の高い半導体レーザ102を得る。

【構成】 p-InP下クラッド層とn-InP上クラッド層との間にアンドープ活性層2を挟み込んでなる、(111)B面をそのメサ側面とするメサストライプ部102aを備えるとともに、該メサストライプ部102a両側のp-クラッド層1b上に、n-InP電流ブロック層14及びFeをドープした高抵抗InP層15を積層してなる光・電流閉込領域102bを備え、該光・電流閉込領域102bを、上記n-InP電流ブロック層14の(111)Bメサ側面上に位置する側端が、上記n-InP上クラッド層3aと活性層2との境界上に位置する構造とした。



1

【特許請求の範囲】

【請求項1】 第1導電型半導体領域上に形成され、第1導電型下クラッド層と第2導電型上クラッド層との間にノンドープ活性層を挟み込んでなる断面順メサ形状のメサストライプ部と、

上記メサストライプ部両側の第1導電型半導体領域上に該メサストライプ部側面を覆うよう形成された第1導電型埋込み層と、上記第1導電型埋込み層上に順次形成された第2導電型埋込み層及び半絶縁性InP層とからなり、レーザ光及びレーザ駆動電流を上記メサストライプ部内に閉じ込める光・電流閉込領域とを備えたことを特徴とする半導体レーザ。

【請求項2】 請求項1記載の半導体レーザにおいて、上記第1導電型半導体領域は、その裏面側にp電極が形成されたp型InP基板により構成されていることを特徴とする半導体レーザ。

【請求項3】 第1導電型半導体領域上にアンドープ半導体層及び第2導電型半導体層を順次成長させる工程と、

上記第2導電型半導体層の所定領域上に形成したマスク層を用いて、該第2導電型半導体層、アンドープ半導体層及び第1導電型半導体領域の表面部分をエッチングし、第1の第2導電型上クラッド層、アンドープ活性層及び第1導電型下クラッド領域からなる断面順メサ形状のメサストライプ部を形成する工程と、

上記メサストライプ部両側の第1導電型半導体領域上に、第1導電型埋込み層をこれが上記メサストライプ部側面を被覆するよう形成する工程と、

上記第1導電型埋込み層上に第2導電型埋込み層及び半絶縁性埋込み層を順次成長して、上記メサストライプ部内にレーザ光及びレーザ駆動電流を閉じ込める光・電流閉込領域を形成する工程と、

上記メサストライプ部及び光・電流閉込領域上に第2の第2導電型上クラッド層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項4】 (001)面または(001)面近傍の結晶面をその表面とする第1導電型半導体領域と、

上記半導体領域表面上に結晶成長され、第1導電型下クラッド層と第2導電型上クラッド層との間に活性層を挟み込んでなる、その側面が(111)B面である(110)方向と平行な断面順メサ形状のメサストライプ部と、

上記ストライプ部両側の第1導電型半導体領域の表面上に結晶成長された、該半導体領域との間のPN接合障壁により第1のキャリアをブロックする第2導電型電流ブロック層と、該電流ブロック層上に結晶成長された、第2のキャリアがトラップされるよう不純物をドーブした高抵抗半導体層とから構成され、上記ストライプ部内にレーザ光及びレーザ駆動電流を閉じ込める光・電流閉込領域とを備え、

2

上記電流ブロック層の、上記(111)Bメサ側面上に位置する側端は、上記活性層側面が上記電流ブロック層により被われるよう上記第2導電型上クラッド層と活性層との境界上に、あるいは該境界より上側に該境界と近接して位置していることを特徴とする半導体レーザ。

【請求項5】 第1導電型半導体領域の(001)面上または(001)面近傍の結晶面上に、第1導電型下クラッド層、ノンドープの活性層、及び第2導電型上クラッド層を順次結晶成長する工程と、

上記第2導電型上クラッド層上に(110)方向に平行なストライプ状パターンを有するストライプ状絶縁膜を形成する工程と、

上記ストライプ状絶縁膜をマスクとして、所定のエッチャントにより上記上クラッド層、活性層、及び下クラッド層を順次エッチングして、(111)B面をそのメサ側面とする(110)方向と平行なストライプ状パターンを有する断面順メサ形状のメサストライプ部を形成する工程と、

上記メサストライプ部両側の第1導電型半導体領域上に、該半導体領域との間のPN接合障壁により第1のキャリアをブロックする第2導電型の電流ブロック層を、その(111)Bメサ側面上の側端が上記第2導電型上クラッド層と活性層との境界上に、あるいは該境界より上側に該境界に近接して位置するよう所定厚さに形成する工程と、

上記ストライプ部両側の電流ブロック層上に、第2のキャリアがトラップされるよう不純物をドーブした高抵抗半導体層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項6】 (001)面または(001)面近傍の結晶面をその表面とする第1導電型半導体領域と、

上記半導体基板の表面上に形成され、第1導電型下クラッド層と第2導電型上クラッド層との間に活性層を挟み込んでなる、(111)B面をそのメサ側面とする、

(110)方向と平行な断面順メサ形状のメサストライプ部と、

上記メサストライプ部両側の第1導電型半導体領域上に第2導電型電流ブロック層及び第1導電型電流ブロック層を順次形成してなり、上記メサストライプ部内にレーザ光及びレーザ駆動電流を閉じ込める光・電流閉込領域とを備え、

上記第2導電型電流ブロック層の、上記(111)Bメサ側面上に位置する側端は、上記活性層側面上、あるいは該活性層側面に近接して位置していることを特徴とする半導体レーザ。

【請求項7】 第1導電型半導体領域の(001)面上または(001)面近傍の結晶面上に、第1導電型下クラッド層、ノンドープ活性層、及び第2導電型上クラッド層を順次結晶成長する工程と、

上記第2導電型上クラッド層上に(110)方向に平行

3

なストライプ状パターンを有するストライプ状絶縁膜を形成する工程と、

上記ストライプ状絶縁膜をマスクとするエッチングにより上記上クラッド層、活性層、及び下クラッド層を順次エッチングして、(111) B面をそのメサ側面とする(110)方向と平行なストライプ状パターンを有する断面順メサ形状のメサストライプ部を形成する工程と、上記メサストライプ部両側の第1導電型半導体領域上に、第2導電型電流ブロック層を、その(111) Bメサ側面上の側端が上記活性層側面上、あるいは該活性層側面に近接して位置するよう所定厚さに形成し、続いて該第2導電型電流ブロック層上に第1導電型電流ブロック層を形成する工程とを含むことを特徴とする半導体レーザ。

【請求項8】 第1導電型半導体領域の(001)面上または(001)面近傍の結晶面上に、第1導電型下クラッド層、ノンドープ活性層、及び第2導電型上クラッド層を順次結晶成長する工程と、

上記第2導電型上クラッド層上に(110)方向に平行なストライプ状パターンを有するストライプ状絶縁膜を形成する工程と、

上記ストライプ状絶縁膜をマスクとして、所定のエッチャントにより上記上クラッド層、活性層、及び下クラッド層を順次エッチングして、(111) B面をそのメサ側面とする(110)方向と平行なストライプ状パターンを有する断面順メサ形状のメサストライプ部を形成する工程と、

上記メサストライプ部両側の第1導電型半導体領域上に、該半導体領域との間のPN接合障壁により第1のキャリアをブロックする第2導電型の電流ブロック層を、その(111) Bメサ側面上の側端が上記第2導電型上クラッド層と活性層との境界上、あるいは該境界より上側にこれに近接して位置するよう所定厚さに形成する工程と、

上記メサストライプ部両側の電流ブロック層上に、第2のキャリアがトラップされるよう不純物をドーブした高抵抗半導体層をその上面が上記メサストライプ部上面より下側に位置するよう所定厚さに形成する工程と、

上記メサストライプ部両側の高抵抗半導体層上に、第2導電型埋込み層をその表面が上記メサストライプ部上面とほぼ一致するよう所定厚さに形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項9】 第1導電型半導体領域の(001)面上または(001)面近傍の結晶面上に、第1導電型下クラッド層、ノンドープ活性層、及び第2導電型上クラッド層を順次結晶成長する工程と、

上記上クラッド層上にこれとは組成の異なる第1のキャップ層を形成し、その上に第1のキャップ層とは組成の異なる第2のキャップ層を形成する工程と、

上記第2のキャップ層を除去した後第1のキャップ層上

4

に(110)方向に平行なストライプ状パターンを有するストライプ状絶縁膜を形成する工程と、

上記ストライプ状絶縁膜をマスクとして、所定のエッチャントにより上記第1のキャップ層、上クラッド層、活性層、及び下クラッド層を順次エッチングして、(111) B面をそのメサ側面とする(110)方向と平行なストライプ状パターンを有する断面順メサ形状のメサストライプ部を形成する工程と、

10 上記メサストライプ部両側の第1導電型半導体領域上に、該半導体領域との間のPN接合障壁により第1のキャリアをブロックする第2導電型の電流ブロック層を、その(111) Bメサ側面上の側端が上記第2導電型上クラッド層と活性層との境界上、あるいは該境界より上側に該境界に近接して位置するよう所定厚さに形成する工程と、

上記ストライプ部両側の電流ブロック層上に、第2のキャリアがトラップされるよう不純物をドーブした高抵抗半導体層をその表面が上記ストライプ部上面とほぼ一致するよう所定厚さに形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項10】 (001)面または(001)面近傍の結晶面をその表面とする第2導電型半導体領域と、

上記半導体領域表面上に結晶成長され、第2導電型下クラッド層と第1導電型上クラッド層との間に活性層を挟み込んでなる、その側面が(111) B面である(110)方向と平行な断面順メサ形状のメサストライプ部と、

30 上記ストライプ部両側の第2導電型半導体領域の表面上に結晶成長された、第1のキャリアがトラップされるよう不純物をドーブした高抵抗半導体層と、該高抵抗半導体層上に形成された、その上の領域との間のPN接合障壁により第2のキャリアをブロックする第2導電型電流ブロック層とから構成され、上記ストライプ部内にレーザ光及びレーザ駆動電流を閉じ込める光・電流閉込領域とを備え、

上記高抵抗半導体層の、上記(111) Bメサ側面上に位置する側端は、上記第2導電型下クラッド層と活性層との境界上、あるいは該境界より下側の該境界に近接して位置していることを特徴とする半導体レーザ。

40 【請求項11】 第2導電型半導体領域の(001)面上または(001)面近傍の結晶面上に、第2導電型下クラッド層、ノンドープの活性層、及び第1導電型上クラッド層を順次結晶成長する工程と、

上記第1導電型上クラッド層上に(110)方向に平行なストライプ状パターンを有するストライプ状絶縁膜を形成する工程と、

上記ストライプ状絶縁膜をマスクとして、所定のエッチャントにより上記上クラッド層、活性層、及び下クラッド層を順次エッチングして、(111) B面をそのメサ側面とする(110)方向と平行なストライプ状パター

5

ンを有する断面順メサ形状のメサストライプ部を形成する工程と、

上記メサストライプ部両側の第2導電型半導体領域上に、第1のキャリアがトラップされるよう不純物をドーブした高抵抗半導体層を、その(111)Bメサ側面上の側端が上記第2導電型クラッド層と活性層との境界上、あるいは該境界の下側にこれに近接して位置するよう所定厚さに形成する工程と、

上記ストライプ部両側の高抵抗半導体層上に、その上の領域との間のPN接合障壁により第2のキャリアをブロックする第2導電型の電流ブロック層を形成する工程とを含むことを特徴とする半導体レーザの製造方法。

【請求項12】 請求項2, 5, 7, 8, 9, 11のいずれかに記載の半導体レーザの製造方法において、

上記順メサ形状のストライプ部は、上クラッド層、活性層及び下クラッド層をHCl気相エッチングして形成することを特徴とする半導体レーザの製造方法。

【請求項13】 請求項2, 5, 7, 8, 9, 11のいずれかに記載の半導体レーザの製造方法において、

上クラッド層、活性層及び下クラッド層のエッチングには、HCl, CH₃COOH, H₂O₂混合液を用いることを特徴とする半導体レーザの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体レーザ及びその製造方法に関し、特にp電極とp型半導体領域との接触抵抗を低減する構造及びその形成方法、活性層への不純物の拡散を防止するための電流ブロック層の構造及びその形成方法、並びに活性層横の無効電流を低減するための電流ブロック層の構造及びその形成方法に関するものである。

【0002】

【従来の技術】 図14は、従来の埋込みヘテロ構造の半導体レーザ（以下BH型半導体レーザともいう。）の断面構造を示す図であり、図15はこのBH型半導体レーザの製造方法を主要工程順に示す断面図である。図において201はBH型半導体レーザで、レーザ発振が行われるメサストライプ部201aと、該メサストライプ部201a内にレーザ光及びレーザ駆動電流を閉じ込めるための光・電流閉込領域201bとを有している。

【0003】 ここで、上記メサストライプ部201aは、p-InP基板21aの表面の断面メサ状部分1a上にノンドープ活性層2及びn-InPクラッド層3cを順次積層した構造となっており、また光・電流閉込領域201bは、上記p-InP基板21a上に上記メサストライプ部201aの側面を覆うよう形成された、Feをドーブした半絶縁性InP埋込み層50と、該埋込み層50上に形成されたn-InP埋込み層40とから構成されている。

【0004】 そして上記メサストライプ部201a上及

6

び光・電流閉込領域201b上には、全面に第2のp-InPクラッド層3d及びp-InPコンタクト層80が順次形成され、さらにその上には、上記メサストライプ部201aに対応する部分に開口を有する絶縁膜10aを介してAuZn合金からなるp電極28が形成されており、また上記p-InP基板21aの裏面側にはCrAu合金からなるn電極27が全面に形成されている。

【0005】 次に製造方法について説明する。まず、第1回目の結晶成長により、n-InP基板21a上に、厚さ0.1μmのアンドープInGaAsP層2a及び厚さ0.5μmのp-InP層3c1を順次成長する（図15(a)）。ここで上記p-InP層3c1の濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度にしている。

【0006】 次に写真製版技術により上記p-InP層3c1上に形成した、所定パターンを有する絶縁膜31をマスクとして、上記p-InP層3c1、アンドープInGaAsP層2a及びp-InP基板21aの表面部分を、HBr系のエッチング液により合わせて4.5μm程度選択的にエッチングして、メサストライプ部201aを形成する（図15(b)）。

【0007】 続いて、2回目の結晶成長により、メサストライプ部201a両側のp-InP基板21a上に、Feをドーブした半絶縁性InP埋込層50を上記メサストライプ部201aの側面を覆うよう形成し、さらにその上にn-InP層40をその表面がメサストライプ部201aの表面と一致する程度の厚さに形成して、光・電流閉込領域201bを形成する（図15(c)）。ここで上記半絶縁性InP埋込層50及びn-InP埋込層40は、その平坦な部分での厚さがそれぞれ3μm、1.5μm程度になるよう形成しており、また各層50及び40の濃度は $4 \times 10^{16} \text{ cm}^{-3}$ 、 $7 \times 10^{18} \text{ cm}^{-3}$ 程度にしている。

【0008】 そして、上記絶縁膜31を除去した後、メサストライプ部201aの第1のp-InP上クラッド層3c上及び光・電流閉込領域201aの半絶縁性InP層50上全面に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 程度の第2のp-InP上クラッド層3dを厚さ1μm程度に形成し、さらにその上に濃度 $7 \times 10^{18} \text{ cm}^{-3}$ 程度のp-InPコンタクト層80を厚さ0.5μm程度に形成する（図15(d)）。

【0009】 その後、第2のn-InPコンタクト層80上に、メサストライプ部201aに対応する位置に開口部10aを有する絶縁膜10を介してp電極28を形成するとともに、n-InP基板21aの裏面側にn電極27を形成して、BH型半導体レーザ201を完成する（図15(e)）。

【0010】 次に動作について説明する。上記n電極28及びp電極27に所定の電圧を印加すると、n-InP基板21a及び第2のp-InP上クラッド層3d間

7

に電位差が生じ、電流が上記p-InPクラッド層3d側からInP基板21a側に流れる。

【0011】この時、上記メサストライプ部201aの両側には半絶縁性InP埋込み層50及びn-InP埋込み層40とが配置されているため、電流は上記メサストライプ部201aに集中して流れることとなる。つまりキャリアであるホールと電子は、効率よく活性層2に注入され、キャリアの注入量があるレベルに達すると、レーザ発振を生ずる。

【0012】また、半絶縁性InP埋込み層50が、電子を捕獲する深い準位を有したFeドープInP層で構成されているため、活性層2の脇を流れる電子は、半絶縁性InP埋込み層50に形成した準位に捕獲されることとなり、発光に寄与しない無効電流が小さく抑えられることとなる。

【0013】次に、p-InP基板を用いた従来のBH型半導体レーザについて説明する。図16はこのBH型半導体レーザの構造を示す断面図、図17(a)～図17(e)はこの半導体レーザの製造方法を説明するための工程図である。図において、202は従来の半導体レーザで、1は(001)面または(001)面近傍の結晶面をその表面とするp-InP基板であり、該p-InP基板1上には、p-InP下クラッド層1bが形成されている。そしてこのp-InP下クラッド層1b表面の所定領域上には、(221)B面をそのメサ側面とする、(110)方向と平行な断面順メサ形状のメサストライプ部202aが形成されている。このメサストライプ部202aは、ノンドープのInGaAsP活性層2を上下から上記p-InP下クラッド層1bの表面領域の一部1b1と、n-InP上クラッド層3aとで挟み込んだ構造となっている。

【0014】また上記メサストライプ部202aの両側のp-InPクラッド層1b上には、該クラッド層1bとの間のPN接合障壁によりホールをブロックするn-InP電流ブロック層41がメサストライプ部の側面を覆うよう形成されており、さらにその上には電子をトラップするFeドープInP埋込み層51が、その表面が上記メサストライプ部202aの表面と一致するよう所定の厚さに形成されている。

【0015】そしてここでは、上記n-InP電流ブロック層41及びFeドープInP埋込み層51により上記メサストライプ部202aの活性層2内に光及び電流を閉じ込めるための光・電流閉込領域202bが構成されている。また、上記メサストライプ部202a及び光・電流閉込領域202bの上には、第2のn-InPクラッド層3b及びn-InPコンタクト層70が順次形成されている。

【0016】次に製造方法について説明する。まず、MOCVD法によりp-InP基板1の(001)面あるいはその近傍の結晶面上に、厚さ2μmのp-InP下

8

クラッド層1b、厚さ0.1μmのアンドープInGaAsP層2a、及び厚さ0.5μmのn-InP層3a1を順次成長し、その上にスパッタ法により厚さ1000オングストロームのSiO₂膜を形成し、これを通常のホトレジスト技術を用いてパターンニングして、(110)方向に平行なストライプ状パターンを有するSiO₂膜32を形成する(図17(a))。ここでは、上記p-InP下クラッド層1b及びp-InP層3a1の濃度はそれぞれ $1 \times 10^{18} \text{cm}^{-3}$ 程度にしている。

【0017】次に、上記SiO₂膜32をマスクとして、上記n-InP層3a1、InGaAsP層2a及びp-InP下クラッド層1bの表面部分をHBr系のエッチング液により合わせて2.5μm程度選択的にエッチングして、メサストライプ部202aを形成する(図17(b))。

【0018】続いて、MOCVD法により、上記メサストライプ部両側に、濃度 $7 \times 10^{18} \text{cm}^{-3}$ 程度のn-InP電流ブロック層41を厚さ1μm程度成長し、さらにその上にFeを $4 \times 10^{16} \text{cm}^{-3}$ 程度ドープしたInP高抵抗層51を1.5μm程度の厚さに成長する(図17(c))。この時、n-InP電流ブロック層41はメサストライプ部202aの側面を覆うよう形成され、該ブロック層41の、SiO₂膜32下面に対向する上端面41aは(111)B面となり、上記電流ブロック層61の、メサ側面に沿った側面41bは(221)B面となる。

【0019】そして、SiO₂膜32をHFでエッチング除去した後、再びMOCVD法により、上記第1のn-InP上クラッド層3a及びInP高抵抗層51上に濃度 $1 \times 10^{18} \text{cm}^{-3}$ の第2のn-InPクラッド層3b及び濃度 $7 \times 10^{18} \text{cm}^{-3}$ のn-InPコンタクト層70をそれぞれ厚さ1μm程度、及び0.5μm程度に成長する(図17(d))。

【0020】その後、第2のn-InP上クラッド層3b上に、メサストライプ部202aに対応する位置に開口部10aを有する絶縁膜10を介してn電極7を形成するとともに、p-InP基板1の裏面側にp電極8を形成して、BH型半導体レーザ202を完成する(図17(e))。

【0021】次に動作について説明する。レーザ発振動作は上記図14に示す半導体レーザ201と同一であるので、ここでは、n-InP電流ブロック層41及びFe-InP高抵抗層51からなる光・電流閉込領域202aの機能について説明する。

【0022】図22は上記光・電流閉込領域202b部分、つまりp-InPクラッド層1b、n-InP電流ブロック層41、Fe-InP高抵抗層51、及び第2のn-InPクラッド層3bからなる積層構造のエネルギーバンド構造を示す図であり、図22(a)はバイアスを印加していない熱平衡状態のエネルギーバンド構造

を、図22(b)は順バイアスを印加した状態のエネルギーバンド構造を示している。また図21は、上記半導体レーザ202の光・電流閉込領域202aをFe-InP高抵抗層のみから構成した場合の光・電流閉込領域でのエネルギーバンド構造を示しており、図21(a)はバイアスを印加していない熱平衡状態、図21(b)はバイアスを印加した状態を示している。なお、図20は参考までに通常のPN接合部分のエネルギーバンド構造を、バイアスを印加していない熱平衡状態(図20(a))と、バイアスを印加した状態(図20(b))とにわけて示している。そしてこれらの図において、InDEは電子の拡散による電流、InDRは電子の電界による電流、IpDEは正孔の拡散による電流、IpDRは正孔の電界による電流である。

【0023】例えば、BH型半導体レーザにおいて、メサストライプ部両側の光・電流閉込領域をFe-InP高抵抗層51のみから構成した場合には、レーザ発振のための順バイアスVを印加すると、図21(b)に示すようにFe-InP高抵抗層51は電子をトラップする高抵抗電流ブロック層としてはたらくが、正孔は、Fe-InP層とその下側のp-InPクラッド層との間の低いエネルギー障壁を乗り越えて、Fe-InP層51に注入されることとなる。この結果Fe-InP層51に注入された正孔は電子と再結合し、再結合電流が流れてしまい、Fe-InP高抵抗層51による電流ブロック効果がなくなる。

【0024】これに対し、図16に示す構造のBH型半導体レーザ202のように、上記光・電流閉込領域202をn-InP電流ブロック層41とその上のFe-InP高抵抗層51とから構成したもので、p電極7とn電極8に順バイアスを印加しても、p-InP下クラッド層1bとその上のn-InP電流ブロック層41との間のPN接合障壁の高さは変化しない。これは、Fe-InP高抵抗層51部分でエネルギーバンド構造が傾斜することにより、印加した順バイアスVが吸収されるためである。

【0025】このため、p-InPクラッド層1bからFe-InP高抵抗層51へのホールの注入を防止でき、これによりレーザの駆動電流を光・電流閉込領域202bにてブロックして、該領域202bに挟まれたメサストライプ部202aの活性層に駆動電流を効率よく供給することができる。

【0026】次に、pnpnサイリスタ構造の光・電流閉込領域を有する従来のBH型半導体レーザについて説明する。図18はこの半導体レーザの構造を示す断面図、図19(a)～図19(e)は該半導体レーザの製造方法を主要工程順に説明するための断面図である。図において、203はメサストライプ部202aの両側にpn pnサイリスタ構造の光・電流閉込領域203bを有する半導体レーザであり、上記光・電流閉込領域203b

は、p-InPクラッド層1b上にp-InP埋込層61、n-InP電流ブロック層62、及びp-InP電流ブロック層63を順次形成してなる構造となっている。その他の構成は図16に示す従来のBH型半導体レーザ202と同一である。

【0027】次に製造方法について説明する。図17(a)、(b)に示す工程と同様にして、p-InP下クラッド層1b上にメサストライプ部202aを形成した後(図19(a)、(b))、p-InP埋込層61、n-InP電流ブロック層62、及びp-InP電流ブロック層63をそれぞれ厚さ0.7μm、0.8μm、及び1μm程度に順次成長する(図19(c))。ここで上記p-InP埋込層61及びp-InP電流ブロック層63の濃度はそれぞれ $1 \times 10^{18} \text{ cm}^{-3}$ 程度に、またn-InP電流ブロック層62の濃度は $7 \times 10^{18} \text{ cm}^{-3}$ に設定している。

【0028】また上記p-InP埋込層61は、上記メサストライプ部202aの側面を覆うよう成長し、これによりn-InP電流ブロック層62とn-InPクラッド層3aとが上記p-InP埋込層61により電氣的に分離されることとなる。そして該埋込層61の、SiO₂膜32下面に対向する上端面61aは(111)B面となり、上記埋込層61の、メサ側面に沿った側面61bは(221)B面となる。

【0029】続いて、SiO₂膜32をHFにより除去した後、再びMOCVD法により、上記第1のn-InP上クラッド層3a及びp-InP電流ブロック層63上に第2のn-InPクラッド層3b及びn-InPコンタクト層70をそれぞれ厚さ1μm、0.5μm程度に成長する(図19(d))。

【0030】その後、第2のn-InP上クラッド層3b上に、メサストライプ部202aに対応する位置に開口部10aを有する絶縁膜10を介してn電極7を形成するとともに、p-InP基板1の裏面側にp電極8を形成して、pn pnサイリスタ構造の光・電流閉込領域203bを有するBH型半導体レーザ203を完成する(図19(e))。

【0031】

【発明が解決しようとする課題】ところが、上述した各タイプの半導体レーザ201～203では、それぞれ以下に示すような問題がある。すなわち、図14に示す従来の半導体レーザ201では、半絶縁性InP層50と、活性層2とが接触しているため、半絶縁性InP層50にドーピングしているFeが活性層2中に拡散して活性層2が汚染されることとなり、半導体レーザの特性が悪化するという問題点があった。ここでp-InP層3dにドーピングされているZnの拡散長は0.3μmに対し、Feは約10μmである。

【0032】また、一般にp-InP層3dとp電極28とのオーム性接触は取りにくく、しかもn-InP基

板1を用いた半導体レーザでは、上記p-InP層3dとp電極28との接触面積が素子容量低減による高速化という点から小さくなり、このためp電極28の接触抵抗が上がり、素子全体としての抵抗の増大により、素子の特性が悪化するという問題点があった。

【0033】また、上記半導体レーザ202では、n-InP電流ブロック層41とn-InPクラッド層3aとが接触しているため、図16に示すような発振に寄与しない無効電流 I_r が流れ、効率的にアンドープ活性層2中に注入電流が流れないという問題がある。

【0034】さらに、上記半導体レーザ203の構造においても、図18に示すように無効電流 I_r がn-InPクラッド層3bからp-InP埋込層61に流れることとなり、また、図17(b)及び図19(b)で示すメサストライプ部202aの側面(以下メサ側面ともいう。)には図9(a)で示すような不純物(Si)がバイアルアップしているため、この不純物を介してアンドープ活性層2横を電流が流れる。この結果、効率的にアンドープ活性層2中に注入電流が流れないという問題がある。

【0035】このように図16、図18に示す従来の半導体レーザ202、203では、活性層横を流れる無効電流があるため、効率良く活性層に電流を注入することができず、レーザの特性及び信頼性を悪くしているという問題点があった。

【0036】この発明は上記のような問題点を解消するためになされたもので、活性層を有するメサストライプ部の両側に形成された電流ブロック層としての半絶縁性InP層から、そのドーピング原子が上記活性層に拡散するのを防止することができる半導体レーザ及びその製造方法を得ることを目的とする。

【0037】また、この発明は、電極と半導体層との接触抵抗を低減でき、これにより素子抵抗が小さく特性劣化のない半導体レーザ及びその製造方法を得ることを目的としている。

【0038】さらにこの発明は、無効電流を低減し、電流を活性層に効率良く流すことができる半導体レーザ及びその製造方法を得ることを目的とする。

【0039】

【課題を解決するための手段】この発明に係る半導体レーザは、第1導電型半導体領域上に形成され、第1導電型下クラッド層と第2導電型上クラッド層との間にノンドーブ活性層を挟み込んでなる断面順メサ形状のメサストライプ部を備えるとともに、上記メサストライプ部両側の第1導電型半導体領域上に該メサストライプ部側面を覆うよう形成された第1導電型埋込み層と、上記第1導電型埋込み層上に順次形成された第2導電型埋込み層及び半絶縁性InP層とからなり、レーザ光及びレーザ駆動電流を上記メサストライプ部内に閉じ込める光・電流閉込領域とを備えたものである。

【0040】この発明は上記半導体レーザにおいて、上記第1導電型半導体領域を、その裏面側にp電極が形成されたp型InP基板により構成したものである。

【0041】この発明に係る半導体レーザの製造方法は、第1導電型半導体領域上にアンドープ半導体層及び第1の第2導電型半導体層を順次成長した後、上記第1の第2導電型半導体層の所定領域上に形成したマスク層を用いて、上記第1の第2導電型半導体層、アンドープ半導体層及び第1導電型半導体領域の表面部分をエッチングして、第2導電型上クラッド層、アンドープ活性層及び第1導電型下クラッド領域からなる断面順メサ形状のメサストライプ部を形成し、その後上記メサストライプ部両側の第1導電型半導体領域上に、第1導電型埋込み層をこれが上記メサストライプ部の活性層側面を被覆するよう形成し、上記第1導電型埋込み層上に第2導電型埋込み層及び半絶縁性埋込み層を成長させ、最後に上記半絶縁性埋込み層及び第1の第2導電型クラッド層上に、第2の第2導電型クラッド層を成長させるものである。

【0042】この発明に係る半導体レーザは、第1導電型の下クラッド層と第2導電型の上クラッド層との間に活性層を挟み込んでなる、(111)B面をそのメサ側面とする、(110)方向と平行な断面順メサ形状のメサストライプ部を備えるとともに、該メサストライプ部両側の第1導電型半導体領域上に順次積層された、該半導体領域との間のPN接合障壁により第1のキャリアをブロックする第2導電型の電流ブロック層と、第2のキャリアがトラップされるよう不純物をドーブした高抵抗半導体層とからなる光・電流閉込め層を備え、上記電流ブロック層を、その(111)Bメサ側面上に位置する側端が、上記第2導電型の上クラッド層と活性層との境界上、あるいは該境界より上側にこれに近接して位置する構造としたものである。

【0043】この発明に係る半導体レーザの製造方法は、第1導電型の半導体基板の(001)面上または(001)面近傍の結晶面上に、第1導電型の下クラッド層、ノンドーブの活性層、及び第2導電型の上クラッド層を順次結晶成長した後、(110)方向に平行なストライプ状パターンを有するストライプ状絶縁膜をマスクとして上記上クラッド層、活性層、及び下クラッド層を順次エッチングして、(111)B面をそのメサ側面とする(110)方向と平行なストライプ状パターンを有する断面順メサ形状のメサストライプ部を形成し、該メサストライプ部両側の第1導電型半導体領域上に第2導電型の電流ブロック層を、その(111)Bメサ側面上の側端が上記上クラッド層と活性層との境界上、あるいは該境界より上側にこれに近接して位置するよう所定厚さに形成し、その上に不純物をドーブした高抵抗半導体層を形成するものである。

【0044】この発明に係る半導体レーザは、第1導電

13

型下クラッド層と第2導電型の上クラッド層との間に活性層を挟み込んでなる、(111) B面をそのメサ側面とする、(110) 方向と平行な断面順メサ形状のメサストライプ部を備えるとともに、該メサストライプ部両側の第1導電型半導体領域上に順次積層された、第2導電型の電流ブロック層及び第1導電型の電流ブロック層からなる光・電流閉込め層を備え、上記第2導電型の電流ブロック層を、その(111) Bメサ側面上に位置する側端が、上記活性層側面上、あるいは該活性層側面に近接して位置する構造としたものである。

【0045】この発明に係る半導体レーザの製造方法は、第1導電型半導体基板の(001)面上またはその近傍の結晶面上に、第1導電型下クラッド層、ノンドープ活性層、及び第2導電型上クラッド層を順次結晶成長した後、(110) 方向に平行なストライプ状パターンを有するストライプ状絶縁膜をマスクとして上記上クラッド層、活性層、及び下クラッド層を順次エッチングして、(111) B面をそのメサ側面とする(110) 方向と平行なストライプ状パターンを有する断面順メサ形状のメサストライプ部を形成し、該メサストライプ部両側の第1導電型半導体領域上に第2導電型電流ブロック層を、その(111) Bメサ側面上の側端が上記活性層側面上、あるいは該活性層側面に近接して位置するよう所定厚さに形成し、その上に第1導電型電流ブロック層を形成するものである。

【0046】この発明に係る半導体レーザの製造方法は、第1導電型半導体基板の(001)面上またはその近傍の結晶面上に、第1導電型下クラッド層、ノンドープ活性層、及び第2導電型上クラッド層を順次結晶成長した後、(110) 方向に平行なストライプ状パターンを有するストライプ状絶縁膜をマスクとして、上記上クラッド層、活性層、及び下クラッド層を順次エッチングして、(111) B面をそのメサ側面とする(110) 方向と平行なストライプ状パターンを有する断面順メサ形状のメサストライプ部を形成し、該メサストライプ部両側の第1導電型半導体領域上に第2導電型電流ブロック層を、その(111) Bメサ側面上の側端が上記上クラッド層と活性層との境界上、あるいは該境界より上側にこれに近接して位置するよう所定厚さに形成し、その上に不純物をドーピングした高抵抗半導体層及び第2導電型の埋込層を、該埋込層の表面が上記ストライプ部上面とほぼ一致するよう順次形成するものである。

【0047】この発明に係る半導体レーザの製造方法は、第1導電型半導体領域の(001)面上またはその近傍の結晶面上に、第1導電型下クラッド層、ノンドープ活性層、及び第2導電型上クラッド層を順次結晶成長した後、該上クラッド層上に、これとは組成の異なる第1のキャップ層、及び該第1のキャップ層とは組成の異なる第2のキャップ層を順次形成し、その後、上記第2のキャップ層を除去した後第1のキャップ層上に(11

14

0) 方向に平行なストライプ状パターンを有するストライプ状絶縁膜を形成し、上記ストライプ状絶縁膜をマスクとして、上記第1のキャップ層、上クラッド層、活性層、及び下クラッド層を順次エッチングして、(111) B面をそのメサ側面とする(110) 方向と平行なストライプ状パターンを有する断面順メサ形状のメサストライプ部を形成し、該メサストライプ部両側に第2導電型電流ブロック層を、その(111) Bメサ側面上の側端が上記上クラッド層と活性層との境界上、あるいは該境界より上側にこれに近接して位置するよう所定厚さに形成し、その上に不純物をドーピングした高抵抗半導体層をその表面が上記ストライプ部上面とほぼ一致するよう所定厚さに形成するものである。

【0048】この発明は上記半導体レーザの製造方法において、上記メサストライプ部は、上クラッド層、活性層及び下クラッド層をHCl 気相エッチングして形成するものである。

【0049】この発明は上記半導体レーザの製造方法において、上クラッド層、活性層及び下クラッド層のエッチングに、HCl, CH₃COOH, H₂O₂ 混合液を用いるものである。

【0050】この発明に係る半導体レーザは、第2導電型の下クラッド層と第1導電型の上クラッド層との間に活性層を挟み込んでなる、(111) B面をそのメサ側面とする、(110) 方向と平行な断面順メサ形状のメサストライプ部を備えるとともに、該メサストライプ部両側の第2導電型半導体領域上に順次積層された、第2のキャリアがトラップされるよう不純物をドーピングした高抵抗半導体層と、その上の領域との間のPN接合障壁により第1のキャリアをブロックする第2導電型の電流ブロック層とからなる光・電流閉込め層を備え、上記高抵抗半導体層を、その(111) Bメサ側面上に位置する側端が、上記第2導電型の上クラッド層と活性層との境界上、あるいは該境界より下側にこれに近接して位置する構造としたものである。

【0051】この発明に係る半導体レーザの製造方法は、第2導電型半導体基板の(001)面上または(001)面近傍の結晶面上に、第2導電型下クラッド層、ノンドープ活性層、及び第1導電型上クラッド層を順次結晶成長した後、(110) 方向に平行なストライプ状パターンを有するストライプ状絶縁膜をマスクとして上記上クラッド層、活性層、及び下クラッド層を順次エッチングして、(111) B面をそのメサ側面とする(110) 方向と平行なストライプ状パターンを有する断面順メサ形状のメサストライプ部を形成し、該メサストライプ部両側の第2導電型半導体領域上に、第1のキャリアがトラップされるよう不純物をドーピングした高抵抗半導体層を、その(111) Bメサ側面上の側端が上記上クラッド層と活性層との境界上、あるいは該境界より下側にこれに近接して位置するよう所定厚さに形成し、続い

てその上の領域との間のPN接合障壁により第2のキャリアをブロックする第2導電型電流ブロック層を形成するものである。

【0052】

【作用】この発明においては、メサストライプ部両側の半導体領域上に、メサストライプ部の側面を覆うよう第1導電型埋込み層を形成し、その上に半絶縁性埋込み層を形成しているため、半絶縁性埋込み層がメサ側面に露出する活性層と接触することがなく、半絶縁性埋込み層に含まれるFe, Ti, Co等の不純物の活性層への拡散を防ぐことができる。

【0053】またこの発明においては、第1導電型半導体領域を、その裏面側にp電極を有するp-InP基板としているので、通常オーミック接触が取りにくいp側電極の基板側との接触面積が大きくなり、電極の接触抵抗による素子特性の劣化を抑えることができる。

【0054】この発明においては、第1導電型下クラッド層と第2導電型上クラッド層との間に活性層を挟み込んでなる、(111)B面をそのメサ側面とするメサストライプ部を備えるとともに、該メサストライプ部両側の第1導電型半導体領域上に、第2導電型の電流ブロック層及び不純物をドーブした高抵抗半導体層を積層してなる光・電流閉込領域を備え、該光・電流閉込領域を、上記第2導電型電流ブロック層の(111)Bメサ側面上に位置する側端が、上記第2導電型上クラッド層と活性層との境界上あるいは該境界より上側にこれに近接して位置する構造としたから、上クラッド層からこれと同一導電型の電流ブロック層への電流経路が遮断、あるいは狭められることとなり、これによりメサストライプ部内の活性層へ効率よく電流を注入でき、レーザの特性及び信頼性を向上することができる。また高抵抗半導体層がメサ側面に露出する活性層と接触することがなく、該高抵抗半導体層に含まれる不純物の活性層への拡散を防ぐことができる。

【0055】この発明においては、下クラッド層、ノンドーブの活性層、及び上クラッド層からなるメサストライプ部を、(111)B面がそのメサ側面となるよう形成し、その後メサストライプ部の両側に第2導電型の電流ブロック層及び不純物をドーブした高抵抗半導体層を成長するようにしたので、メサストライプ部のメサ側面上での結晶成長がメサストライプ部両側の平坦な部分に比べて抑えられることとなり、上記第2導電型電流ブロック層の(111)Bメサ側面上に位置する側端が、該上クラッド層と活性層との境界上あるいは該境界より上側にこれに近接して位置する構造の電流ブロック層を簡単に形成することができる。

【0056】この発明においては、第1導電型の下クラッド層と第2導電型の上クラッド層との間に活性層を挟み込んでなる、(111)B面をそのメサ側面とするメサストライプ部を備えるとともに、該メサストライプ部

両側の第1導電型半導体領域上に、第2導電型電流ブロック層及び第1導電型電流ブロック層を形成してなる光・電流閉込領域を備え、該光・電流閉込領域を、上記第2導電型電流ブロック層の(111)Bメサ側面上に位置する側端が、上記活性層側面上、あるいは該活性層側面近接して位置する構造としたので、上クラッド層からこれと同一導電型の電流ブロック層への電流経路がこれらとは逆導電型の電流ブロック層により遮断、あるいは狭められることとなり、これによりメサストライプ部の活性層へ効率よく電流を注入でき、レーザの特性及び信頼性を向上することができる。

【0057】この発明においては、下クラッド層、ノンドーブの活性層、及び上クラッド層からなるメサストライプ部を、(111)B面がそのメサ側面となるよう形成し、その後メサストライプ部の両側に第2導電型電流ブロック層及び第1導電型電流ブロック層を成長するようにしたので、メサストライプ部のメサ側面上での結晶成長がメサストライプ部両側の平坦な部分に比べて抑えられることとなり、その(111)Bメサ側面上に位置する側端が、上記活性層側面上、あるいは該活性層側面に近接して位置する構造の第2導電型電流ブロック層を簡単に形成することができる。

【0058】この発明においては、下クラッド層、ノンドーブの活性層、及び上クラッド層からなるメサストライプ部を、(111)B面がそのメサ側面となるよう形成し、その後メサストライプ部の両側に第1の第2導電型電流ブロック層、不純物をドーブした高抵抗半導体層及び第2の第2導電型の電流ブロック層を成長するようにしたので、これにより第2の第2導電型の電流ブロック層が上クラッド層と電気的につながることとなり、上記クラッド層を成長する工程を簡略化することができる。

【0059】この発明においては、半導体基板上に、第1導電型下クラッド層、ノンドーブ活性層、及び第2導電型上クラッド層を順次結晶成長した後、該上クラッド層上に、これとは組成の異なる第1のキャップ層、及び該第1のキャップ層とは組成の異なる第2のキャップ層を順次形成し、続いて第2のキャップ層を除去した後、

(110)方向に平行なストライプ状パターンを有するストライプ状絶縁膜を形成し、これをマスクとするエッチングによりメサストライプ部を形成するようにしたので、上記ストライプ状絶縁膜の成膜時にダメージを受けた第1のキャップ層は除去でき、これによりパターンニング用マスクを形成する際のダメージがメサストライプ部に残るのを回避することができる。

【0060】この発明においては、第2導電型下クラッド層と第1導電型上クラッド層との間に活性層を挟み込んでなる、(111)B面をそのメサ側面とするメサストライプ部を備えるとともに、該メサストライプ部両側の第2導電型半導体領域上に、不純物をドーブした高抵

抗半導体層及び第1導電型の電流ブロック層を積層してなる光・電流閉込領域を備え、該光・電流閉込領域を、上記第1導電型電流ブロック層の(111)Bメサ側面上に位置する側端が、上記第1導電型上クラッド層と活性層との境界上あるいは該境界より下側にこれに近接して位置する構造としたので、下クラッド層からこれと同一導電型の電流ブロック層への電流経路が遮断、あるいは狭められることとなり、これによりメサストライプ部内の活性層へ効率よく電流を注入でき、レーザの特性及び信頼性を向上することができる。また高抵抗半導体層がメサ側面に露出する活性層と接触することがなく、該高抵抗半導体層に含まれる不純物の活性層への拡散を防ぐことができる。

【0061】この発明においては、下クラッド層、ノンドープの活性層、及び上クラッド層からなるメサストライプ部を、(111)B面がそのメサ側面となるよう形成し、その後メサストライプ部の両側に不純物をドーピングした高抵抗半導体層及び第1導電型の電流ブロック層を順次成長するようにしたので、メサストライプ部のメサ側面上での結晶成長がメサストライプ部両側の平坦な部分に比べて抑えられることとなり、上記高抵抗半導体層の(111)Bメサ側面上に位置する側端が、該下クラッド層と活性層との境界上あるいは該境界より下側にこれに近接して位置する構造の電流ブロック層を簡単に形成することができる。

【0062】

【実施例】実施例1. 図1はこの発明の第1の実施例による半導体レーザの構造を示す断面図、図2(a)～図2(e)は該半導体レーザの製造方法を主要工程順に説明するための断面図である。図において、101は本実施例のBH型半導体レーザで、レーザ発振が行われるメサストライプ部101aと、該メサストライプ部101a内にその幅方向にレーザ光及びレーザ駆動電流を閉じ込めるための光・電流閉込領域101bとを有している。

【0063】ここで、上記メサストライプ部101aは、p-InP基板1aの表面の一部1a1上にアンドープInGaAsP活性層2及び第1のn-InPクラッド層3aを順次積層した構造となっており、また光・電流閉込領域101bは、上記p-InP基板1a上に上記メサストライプ部101aの側面を覆うよう形成されたp-InP埋込層6と、その上に順次形成されたn-InP埋込層4、及びFeをドーピングした半絶縁性InP埋込層5とから構成されている。

【0064】そして上記メサストライプ部101a上及び光・電流閉込領域101b上には、全面に第2のn-InPクラッド層3b及びn-InPコンタクト層70が順次形成され、さらにその上には、上記メサストライプ部101aに対応する部分に開口10aを有する絶縁膜10を介してCrAu合金からなるn電極7が形成されており、また上記p-InP基板1aの裏面側にはA

uZn合金からなるp電極8が全面に形成されている。

【0065】次に製造方法について説明する。まず、図2(a)に示すように第1回目の結晶成長により、不純物濃度が $4 \times 10^{18} \text{cm}^{-3}$ 程度のp-InP基板1a上に、アンドープInP層2a及び濃度 $1 \times 10^{18} \text{cm}^{-3}$ のn-InP層3a1をそれぞれ厚さ0.1 μm 、及び0.5 μm 程度に順次成長し、次に写真製版技術により絶縁膜マスク11を上記n-InP層3a1上に形成し、該絶縁性マスク11を用いて、上記n-InP層3a1、アンドープInGaAsP層2及びp-InP基板1aの表面部分を順次エッチングして、メサストライプ部101aを形成する(図2(b))。

【0066】次に、2回目の結晶成長により、p-InP基板1a上のメサストライプ部101a両側部分にp-InP埋込層6、n-InP埋込層4、及び半絶縁性InP層5を、それぞれ厚さ0.7 μm 、0.8 μm 、及び3 μm 程度に順次成長し(図2(c))、上記絶縁膜マスク11を除去した後、n-InP埋込層3a及び半絶縁性InP埋込層5上全面に第2のn-InPクラッド層3b及びn-InPコンタクト層70をそれぞれ厚さ1 μm 、及び0.5 μm 程度に成長する(図2(d))。

【0067】ここでは上記p-InP埋込層6及びn-InPクラッド層3bの不純物濃度は $1 \times 10^{18} \text{cm}^{-3}$ 程度、n-InP埋込層4及びn-InPコンタクト層70の不純物濃度は $4 \times 10^{18} \text{cm}^{-3}$ 、Feドーピングの半絶縁性InP埋込層の不純物濃度は $4 \times 10^{16} \text{cm}^{-3}$ 程度に設定している。

【0068】その後、上記n-InPコンタクト層70上に、メサストライプ部101aに対応する位置に開口ブロック10aを有する絶縁膜10を介してp電極7を形成するとともに、p電極8をp-InP基板1aの裏面側に形成してBH型半導体レーザ101を得る(図2(e))。

【0069】このような構造の本実施例の半導体レーザ101では、p-InP基板1a上の、メサストライプ部101a以外の部分に、p-InP埋込層6及びn-InP埋込層4を順次形成し、その上に、Feをドーピングした電子を捕獲する深い準位を有する半絶縁性InP層5を形成しているため、半絶縁性InP埋込層5がメサストライプ部のメサ側面に露出する活性層2と接触するのを回避することができる。これにより活性層2へのFeの拡散を抑えて、活性層2へのFeの拡散による特性劣化を防止することができる。

【0070】また、上記光・電流閉込領域101bを構成する半絶縁性InP埋込層5は、電子を捕獲する深い準位を有しているため、活性層2の励起を流れる、発光に寄与しない無効な電流を抑制することができ、高効率な半導体レーザ装置が実現できる。

【0071】また、基板をp-InPにより構成し、p

一電極を該p-InP基板の裏面全面に形成しているため、通常オーミック接触が取りにくいp側電極とp形半導体層との接触面積が大きくなり、電極の接触抵抗を低減でき、これにより半導体レーザの特性向上を図ることができる。

【0072】実施例2. 図3は本発明の第2の実施例による半導体レーザの構造を示す断面図、図4は上記半導体レーザの製造方法を主要工程順に説明するための断面図である。図において、102は本実施例の半導体レーザ、1は(001)面または(001)面近傍の結晶面をその表面とするp-InP基板であり、該基板1上には、(110)方向と平行な断面順メサ形状のメサストライプ部102aが形成されている。このメサストライプ部102aは、p-InP下クラッド層1bの突出部1b1と第1のn-InP上クラッド層3aとの間にアンダーブInGaAsP活性層2を挟み込んでなる、(111)B面をそのメサ側面とする構造となっている。

【0073】また上記基板1上の、メサストライプ部102aの両側には、上記メサストライプ部102aの活性層2内に、その幅方向にレーザ光及びレーザ駆動電流を閉じ込める光・電流閉込領域102bが形成されている。この光・電流閉込領域102bは、上記p-InPクラッド層1b上に形成され、該クラッド層1bとの間のPN接合障壁によりホール(第1のキャリア)をブロックするn-InP電流ブロック層14と、その上に形成され、電子(第2のキャリア)がトラップされるようFeをドーブした高抵抗半導体層15とから構成されている。そして、上記n-InP電流ブロック層14の、上記(111)Bメサ側面上に位置する側端は、上記活性層2とn-InP上クラッド層3aとの境界上に位置している。

【0074】次に製造方法について説明する。MOCVD法を用いてn-InP基板1上に厚さ2 μ m、濃度 $1 \times 10^{18} \text{cm}^{-3}$ のn-InPクラッド層1b、厚さ0.1 μ mのアンダーブInGaAsP層2a、厚さ0.5 μ m、濃度 $1 \times 10^{18} \text{cm}^{-3}$ のn-InP層3a1を順次成長した後、スパッタ法を用いてSiO₂膜を成膜し、通常のホトレジスト技術を用いてパターンニングして、(110)方向に平行なストライプSiO₂マスク12を形成する(図4(a))。

【0075】次に、上記n-InP層3a1、InGaAsP層2a、及びp-InPクラッド層1bの表面部分に順次HCl気相エッチングを施して、全体で2.5 μ m程度の深さエッチングし、メサストライプ部102aを形成する(図4(b))。この時、上記メサストライプ部102aのメサ側面と頂部表面とがなす角度 θ は約55°となり、メサ側面には(111)B面が見れる。

【0076】その後、上記メサストライプ部102aを形成したp-InP基板1を酸素(空気)に曝すことな

くMOCVD炉内に移動し、メサストライプ部102aの両側の基板上に不純物濃度 $7 \times 10^{18} \text{cm}^{-3}$ のn-InP電流ブロック層14を厚さ1 μ m程度に成長し、さらにその上にFeを $4 \times 10^{16} \text{cm}^{-3}$ 程度ドーブしたFe-InP高抵抗層15を厚さ1.5 μ m程度成長して、メサストライプ部102aを埋め込む(図4(c))。

【0077】ここで、上記メサストライプ部102a両側のp-InPクラッド層1b表面は(100)面、メサストライプ部102aの側面は(111)B面となっているため(図3(c)参照)、InP層は、MOCVD法によりメサストライプ部102a両側のp-InPクラッド層1b上には直接成長するが、そのメサ側面上には直接成長せず、このため上記n-InP電流ブロック層14は、図3(b)のInP層14a1~14a6のように、そのメサ側面上の端部が該メサ側面の下端部から徐々に迫り上がってくるようにp-InPクラッド層1bの表面上に成長することとなる。

【0078】このようにInPがInP層の(100)面上には直接成長し、その(111)B面上では直接成長しないのは、(100)面上では図3(c)に示すようにリンの結合手が2本であるのに対し、(111)B面上では、リンの結合手が1本であるからと考えられている。

【0079】続いて、HFを用いてSiO₂マスク12を除去した後、再びMOCVD法を用いて、メサストライプ部102a及び光・電流閉込領域102b上全面に第2のn-InPクラッド層3b及びn-InPコンタクト層70をそれぞれ厚さ1 μ m及び0.5 μ m程度に成長する(図4(d))。

【0080】そして最後に、上記第1実施例の半導体レーザ101と同様に、p電極7を上記n-InPコンタクト層70上に、n電極8をp-InP基板1の裏面側に形成して半導体レーザ102を完成する(図4(e))。

【0081】このように本実施例の半導体レーザ102では、光・電流閉込領域102bを構成するn-InP電流ブロック層14を、そのメサ側面上の端部が上クラッド層3aと活性層2との境界上に位置する構造としたので、第1のn-InPクラッド層3aからn-InP電流ブロック層14へいたる電流経路を狭めることができ、活性層横断を流れるレーザ発振に寄与しない電流を抑えることができる。

【0082】また、本実施例の半導体レーザの製造方法では、p-InP下クラッド層1b1とFe-InP高抵抗層15の間にn-InP電流ブロック層14があるため、該高抵抗層15中のFeと電流ブロック層14中のZnが相互拡散せず、Fe-InP高抵抗層15の抵抗率が下がらず電流ブロック効果が損なわれない。

【0083】また、HCl気相エッチングにより形成されたメサストライプ部102aのメサ側面は図3に示す

21

ような(111)B面になるため、n-InP電流ブロック層14はメサ側面全域にわたって成長せず、メサストライプ部両側のメサ底面、つまりp-InPクラッド層1b表面からせりあがるように成長するため、InP電流ブロック層14の成長を、そのメサ側面上を迫り上る先端部分がアンドープ活性層2とn-InP上クラッド層3aとの境界上に達した時停止して、Fe-InP高抵抗層15の成長を開始することにより、第1のn-InPクラッド層3aとn-InP電流ブロック層14とが接触しない構造を簡単に製造することができる。

【0084】なお、上記第2の実施例では、基板としてp-InPを用い、半絶縁性InP層としてFe-InP層を用いたが、これは基板としてn-InPを用い、半絶縁性InP層としてTiをドーブしたInP層を用い、他の半導体層の導電型を反転させた構造としてもよく、この場合も上記第2の実施例と同様の効果が得られる。

【0085】また、上記実施例では、光・電流閉込領域102bを、そのn-InP電流ブロック層14のメサ側面上端部が上記活性層2と上クラッド層3aとの境界上に位置する構造としているが、上記n-InP電流ブロック層14は、そのメサ側面上での端部が、活性層2と上クラッド層3aとの境界より上側に該境界と近接して位置するよう成長してもよい。

【0086】実施例3. 図5は、本発明の第3の実施例による半導体レーザの構造を示す断面図であり、図6は上記半導体レーザの製造方法を主要工程順に説明するための断面図である。図において、103は本実施例の半導体レーザであり、これは上記第2実施例の半導体レーザ102の光・電流閉込領域102bにおける、Fe-InP埋込層15に代えて、p-InP電流ブロック層17を用いたもので、その他の構成は上記第2実施例と同一である。

【0087】次に製造方法について説明する。図4(a)及び(b)に示す工程と同一の処理により上記第2実施例と同様にしてメサストライプ部102aを形成した後(図6(a),(b))、MOCVD法を用いてメサストライプ部102aの両側に濃度 $7 \times 10^{18} \text{ cm}^{-3}$ のn-InP電流ブロック層14を、そのメサ側面上側端が上記活性層2と上クラッド層3aとの境界上に位置するよう厚さ $1 \mu\text{m}$ 程度成長し、さらにその上に濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のp-InP電流ブロック層17を厚さ $1.5 \mu\text{m}$ 程度成長して、光・電流閉込領域103bを形成する(図6(c))。

【0088】その後は、上記第2実施例と同様にして、n-InPクラッド層3b及びn-InPコンタクト層70を形成し(図6(d))、さらにp電極7及びn電極8を形成して半導体レーザ103を完成する(図6(e))。

【0089】このように本実施例では、メサストライプ

22

部102aの両側の、n-InP電流ブロック層14上にp-InP電流ブロック層17を形成してなる光・電流閉込領域103bを、上記n-InP電流ブロック層14の、(111)Bメサ側面上に位置する側端が、上記InGaAsP活性層2とn-InP上クラッド層3aとの境界上に位置する構造としたので、n-InP上クラッド層3aからn-InP電流ブロック層14への電流経路がp-InP電流ブロック層17により遮断されることとなり、これによりアンドープ活性層2を流れる無効電流を抑えて、活性層2へ効率よく電流を注入でき、レーザの特性及び信頼性を向上することができる。

【0090】また本実施例の半導体レーザの製造方法では、メサストライプ部102aを(111)B面がそのメサ側面となるよう形成し、その後メサストライプ部102aの両側にn-InP電流ブロック層14及びp-InP電流ブロック層17を成長するようにしたので、メサストライプ部102aのメサ側面上での結晶成長がメサストライプ部両側の平坦な部分に比べて抑えられることとなり、その(111)Bメサ側面上に位置する側端が、上記InGaAsP活性層2とn-InP上クラッド層3aとの境界上に位置する構造のn-InP電流ブロック層14を簡単に形成することができる。

【0091】また、図4(b)、図6(b)に示すメサ形成及びメサ選択埋込み成長は酸素(空気)に触れさせることなく行っているため、図9(b)に示すように再成長界面のSiパイルアップが減り、Siを通した無効電流を低減することができる。

【0092】実施例4. 図7は本発明の第4の実施例による半導体レーザの構造を示す断面図であり、図8は上記第4実施例による半導体レーザの製造方法を主要工程順に説明するための断面図である。図において、104は本実施例の半導体レーザであり、この半導体レーザ104の光・電流閉込領域104bは、第2実施例の半導体レーザ102の光・電流閉込領域102bにおけるFe-InP埋込層15の代わりに、n-InP電流ブロック層14上にFe-InP埋込層15a及びn-InP埋込層18を形成した構造となっており、その他の構成は上記第2実施例とほぼ同一である。

【0093】次に製造方法について説明する。図4(a),(b)に示す工程と同一の処理により、p-InP基板1上にp-InPクラッド層1b、アンドープInGaAsP層2a、n-InP層3a1を順次成長し、さらに濃度 $7 \times 10^{18} \text{ cm}^{-3}$ のn-InP層71aを形成し、その後スパッタ法を用いてSiO₂膜を成膜し、通常のホトレジスト技術を用いてパターニングして、(110)方向に平行なストライプSiO₂マスク12を形成する(図8(a))。

【0094】その後は、上記n-InP層71a、n-InP層3a1、InGaAsP層2a、及びp-InPクラッド層1bの表面部分に順次HCl気相エッチン

23

グを施して、全体で2.5 μm 程度の深さエッチングし、メサストライプ部104aを形成する(図8(b))。

【0095】次に、上記メサストライプ部104aを形成したp-InP基板1を酸素(空気)に曝すことなくMOCVD炉内に移動し、メサストライプ部104aの両側基板上に不純物濃度 $7 \times 10^{18} \text{cm}^{-3}$ のn-InP電流ブロック層14を、そのメサ側面上の側端が上記活性層2と上クラッド層3aとの境界上に位置するよう厚さ1 μm 程度に形成し、続いて上記n-InP電流ブロック層14上に、Feを $4 \times 10^{16} \text{cm}^{-3}$ 程度ドーブしたFe-InP高抵抗層15aを1.5 μm 程度成長する。そしてその上に濃度 $1 \times 10^{18} \text{cm}^{-3}$ のn-InP埋込層18を1 μm 程度成長し、さらに濃度 $7 \times 10^{18} \text{cm}^{-3}$ のn-InP層72を厚さ0.5 μm 程度成長して、メサストライプ部104aを埋め込む(図8(c))。

【0096】その後は、上記第2実施例と同様にして、p電極7を絶縁膜10を介して上記n-InPコンタクト層71、72上に、n電極8をp-InP基板1の裏面側に形成して半導体レーザ104を完成する(図8(d))。

【0097】このように本実施例では、メサストライプ部104aを(111)B面がそのメサ側面となるよう形成し、その後メサストライプ部104aの両側に第1のn-InP埋込層14、FeドーブInP層15a及び第2のn-InP埋込層18を成長するようにしたので、上記第2実施例の効果に加えて、第2のn-InP埋込層18がn-InP上クラッド層3aと電気的につながることとなり、上記クラッド層3bを成長する工程を簡略化することができる。つまり結晶成長の回数が1回減って2回となり、プロセスが簡略化される。

【0098】なお、上記第4の実施例では、第2実施例の光・電流閉込領域102bにおけるFe-InP埋込層15上にn-InP埋込層18を形成する場合を示したが、これは第2実施例のp-InP電流ブロック層17上に形成してもよい。

【0099】実施例5. 図10は本発明の第5の実施例による半導体レーザの構造を示す断面図であり、図11は、上記第5実施例による半導体レーザの製造方法を主要工程順に説明するための断面図である。図において、図3及び図4と同一符号は同一のものを示し、105は本実施例の半導体レーザであり、そのメサストライプ部105aは、第1のn-InPクラッド層3a上にn-InPキャップ層13を介して形成したSiO₂マスク12を用いて形成したものである。

【0100】次に製造方法について説明する。まず、p-InP基板1上にp-InPクラッド層1b、アンドーブInGaAsP層2a、及びn-InP層3a1を順次成長した後、さらにその上にn-InGaAsPキャップ層13及びn-InPキャップ層14をそれぞれ

24

0.1 μm 程度の厚さに順次成長する(図11(a))。ここで上記各キャップ層13、14の濃度は $1 \times 10^{18} \text{cm}^{-3}$ 程度にしている。

【0101】次に、塩酸を用いてn-InPキャップ層14を除去した後、スパッタによりSiO₂膜を表面全面にわたって成膜し、通常のホトレジスト技術を用いて上記SiO₂膜をパターニングして、(110)方向に平行なストライプ状のSiO₂膜マスク12を形成する(図11(b))。

【0102】その後は上記第2の実施例の製造方法と同様、HCl気相エッチングによりメサストライプ部105aを形成し、n-InP電流ブロック層14及びFe-InP高抵抗層15を形成して、光・電流閉込領域102bを形成する(図11(c))。

【0103】そして、HFでSiO₂マスク12を除去し、さらに硝酸でn-InGaAsPキャップ層13aを除去した後(図11(d))、n-InPクラッド層3b1を1 μm 程度の厚さに、さらにn-InPコンタクト層70を0.1 μm 程度の厚さに成膜し(図11(e))、最後に上記コンタクト層70上に絶縁膜10を介してp電極7を形成し、p-InP基板1の裏面側にn電極8を形成して、半導体レーザ105を完成する(図11(f))。

【0104】このように本実施例では、p-InP基板1上に、p-InP下クラッド層1b、ノンドーブInGaAsP層2a、及びn-InP層3a1を順次結晶成長した後、該n-InP層3a1上に、InGaAsPキャップ層13及びInPキャップ層14を順次形成し、その後InPキャップ層14を除去した後、絶縁膜マスク12を形成し、これをマスクとするエッチングによりメサストライプ部105aを形成するようにしたので、上記絶縁膜マスク12の成膜時にダメージを受けたInGaAsPキャップ層13は除去でき、これによりパターニング用マスクを形成する際のダメージがメサストライプ部105a表面上に残るのを回避することができ、この結果レーザ特性に悪影響が及ぶのを回避できる。

【0105】なお、上記第2ないし第5の実施例では、基板にp-InPを用いたものを示したが、上記基板にはn-InPを用いてもよく、この場合上記各実施例とは、各層の導電型を反転させることにより、上記各実施例と同じ効果を得ることができる。

【0106】実施例6. 図12は本発明の第6の実施例による半導体レーザの構造を示す断面図、図13は上記半導体レーザの製造方法を主要工程順に説明するための断面図である。図において、106は本実施例の半導体レーザ、21は(001)面または(001)面近傍の結晶面をその表面とするn-InP基板であり、該基板1上には、(110)方向と平行な断面順メサ形状のメサストライプ部106aが形成されている。このメサス

25

トライブ部106aは、p-InP下クラッド層21bの突出部21b1と第1のp-InP上クラッド層3cとの間にアンドープInGaAsP活性層2を挟み込んでなる、(111)B面をそのメサ側面とする構造となっている。

【0107】また上記基板21上の、メサストライブ部106aの両側には、上記メサストライブ部106aの活性層2内に、その幅方向にレーザ光及びレーザ駆動電流を閉じ込める光・電流閉込領域106bが形成されている。この光・電流閉込領域106bは、上記n-InPクラッド層21b上に形成され、電子(第1のキャリア)がトラップされるようFeをドーブした高抵抗半導体層54と、該高抵抗半導体層54上に形成され、その上側のp-InPクラッド層3dとの間のPN接合障壁によりホール(第2のキャリア)をブロックするn-InP電流ブロック層47とから構成されている。そして、上記高抵抗半導体層54の、上記(111)Bメサ側面上に位置する側端は、上記活性層2とn-InP下クラッド層突出部21b1との境界上に位置している。

【0108】次に製造方法について説明する。MOCVD法を用いてn-InP基板21上に厚さ2 μ m、濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のn-InPクラッド層21b、厚さ0.1 μ mのアンドープInGaAsP層2a、厚さ0.5 μ m、濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のp-InP層3c1を順次成長した後、スパッタ法を用いてSiO₂膜を成膜し、通常のアリゲン技術を用いてパターニングして、(110)方向に平行なストライブSiO₂マスク12を形成する(図13(a))。

【0109】次に、上記p-InP層3c1、InGaAsP層2a、及びn-InPクラッド層21bの表面部分に順次HCl気相エッチングを施して、全体で2.5 μ m程度の深さエッチングし、メサストライブ部106aを形成する(図13(b))。この時、上記メサストライブ部106aのメサ側面と頂部表面とがなす角度 θ は約55°となり、メサ側面には(111)B面が現れる。

【0110】その後、上記メサストライブ部106aを形成したn-InP基板21を酸素(空気)に曝すことなくMOCVD炉内に移動し、メサストライブ部106aの両側の基板上に、Feを $4 \times 10^{16} \text{ cm}^{-3}$ 程度ドーブしたFe-InP高抵抗層54を、そのメサ側面上の側端が上記活性層2と下クラッド層突出部21b1との境界上に位置するよう厚さ1 μ m程度成長し、その上に濃度 $7 \times 10^{18} \text{ cm}^{-3}$ のn-InP電流ブロック層47を厚さ1.5 μ m程度に成長してメサストライブ部106aを埋め込む(図13(c))。

【0111】ここで、上記メサストライブ部106a両側のn-InPクラッド層21b表面は(100)面、メサストライブ部106aの側面は、上記第2の実施例と同様、(111)B面となっているため、InP層

26

は、MOCVD法によりメサストライブ部106a両側のp-InPクラッド層21b上には直接成長するが、そのメサ側面上には直接成長せず、このため上記高抵抗InP層54は、そのメサ側面上の端部が該メサ側面の下端部から徐々に迫り上がってくるようにn-InPクラッド層21bの表面上に成長することとなる。

【0112】続いて、HFを用いてSiO₂マスク12を除去した後、再びMOCVD法を用いて、メサストライブ部106a及び光・電流閉込領域106b上全面に第2のp-InPクラッド層3d及びn-InPコンタクト層80をそれぞれ厚さ1 μ m及び0.5 μ m程度に成長する(図13(d))。

【0113】そして最後に、n電極28を絶縁膜10を介して上記p-InPコンタクト層80上に、p電極27をp-InP基板1の裏面側に形成して半導体レーザ102を完成する(図13(e))。

【0114】このように本実施例の半導体レーザ106では、光・電流閉込領域106bを構成する高抵抗InP層54を、そのメサ側面上の端部が下クラッド層突出部21b1と活性層2との境界上に位置する構造としたので、高抵抗InP埋込層54がメサストライブ部106のメサ側面に露出する活性層2と接触するのを回避することができる。これにより活性層2へのFeの拡散を抑えて、活性層2へのFeの拡散による特性劣化を防止することができる。

【0115】また、HCl気相エッチングにより形成されたメサストライブ部106aのメサ側面は(111)B面になるため、高抵抗半導体層54はメサ側面全域にわたって成長せず、メサストライブ部両側のメサ底面、つまりn-InPクラッド層21b表面からせりあがるように成長するため、高抵抗半導体層54の成長を、そのメサ側面上をせりあがる先端部分がアンドープ活性層2とn-InP下クラッド層突出部21b1との境界上に達した時停止して、n-InP電流ブロック層47の成長を開始することにより、高抵抗InP埋込層54がメサストライブ部106の活性層2と接触しない構造を簡単に実現することができる。

【0116】なお、上記各実施例ではHCl気相エッチングを用いて(111)B面を側面にもつメサストライブ部を形成するものを示したが、エッチャットには、HCl、CH₃COOHとH₂O₂の混合液を用いてもよく、この場合も(111)B面をメサ側面とするメサストライブ部を形成することができる。

【0117】

【発明の効果】以上のようにこの発明に係る半導体レーザによれば、メサストライブ部両側の半導体領域上に、メサストライブ部の側面を覆うよう第1導電型埋込み層を形成し、その上に半絶縁性埋込み層を形成しているため、半絶縁性埋込み層がメサ側面に露出する活性層と接触することがなく、半絶縁性埋込み層に含まれるFe、

Ti, Co等の不純物の活性層への拡散を防ぐことができる効果がある。

【0118】またこの発明によれば上記半導体レーザにおいて、第1導電型半導体領域を、その裏面側にp電極を有するp-InP基板としているので、通常オーミック接触が取りにくいp側電極の基板側との接触面積が大きくなり、電極の接触抵抗による素子特性の劣化を抑えることができる効果がある。

【0119】この発明に係る半導体レーザによれば、第1導電型下クラッド層と第2導電型上クラッド層との間に活性層を挟み込んでなる、(111)B面をそのメサ側面とするメサストライプ部を備えるとともに、該メサストライプ部両側の第1導電型半導体領域上に、第2導電型の電流ブロック層及び不純物をドーブした高抵抗半導体層を積層してなる光・電流閉込領域を備え、該光・電流閉込領域を、上記第2導電型電流ブロック層の(111)Bメサ側面上に位置する側端が、上記第2導電型上クラッド層と活性層との境界上あるいは該境界より上側にこれに近接して位置する構造としたので、上クラッド層からこれと同一導電型の電流ブロック層への電流経路が遮断、あるいは狭められることとなり、これによりメサストライプ部内の活性層へ効率よく電流を注入でき、レーザの特性及び信頼性を向上することができる効果がある。

【0120】また高抵抗半導体層がメサ側面に露出する活性層と接触することがなく、該高抵抗半導体層に含まれる不純物の活性層への拡散を防ぐことができる効果がある。

【0121】この発明に係る半導体レーザの製造方法によれば、下クラッド層、ノンドープの活性層、及び上クラッド層からなるメサストライプ部を、(111)B面がそのメサ側面となるよう形成し、その後メサストライプ部の両側に第2導電型の電流ブロック層及び不純物をドーブした高抵抗半導体層を成長するようにしたので、メサストライプ部のメサ側面上での結晶成長がメサストライプ部両側の平坦な部分に比べて抑えられることとなり、上記第2導電型電流ブロック層の(111)Bメサ側面上に位置する側端が、該上クラッド層と活性層との境界上あるいは該境界より上側にこれに近接して位置する構造の電流ブロック層を簡単に形成することができる効果がある。

【0122】この発明に係る半導体レーザによれば、第1導電型の下クラッド層と第2導電型の上クラッド層との間に活性層を挟み込んでなる、(111)B面をそのメサ側面とするメサストライプ部を備えるとともに、該メサストライプ部両側の第1導電型半導体領域上に、第2導電型電流ブロック層及び第1導電型電流ブロック層を形成してなる光・電流閉込領域を備え、該光・電流閉込領域を、上記第2導電型電流ブロック層の(111)Bメサ側面上に位置する側端が、上記活性層側面上、あ

るいは該活性層側面近接して位置する構造としたので、上クラッド層からこれと同一導電型の電流ブロック層への電流経路がこれらとは逆導電型の電流ブロック層により遮断、あるいは狭められることとなり、これによりメサストライプ部の活性層へ効率よく電流を注入でき、レーザの特性及び信頼性を向上することができる効果がある。

【0123】この発明に係る半導体レーザの製造方法によれば、下クラッド層、ノンドープの活性層、及び上クラッド層からなるメサストライプ部を、(111)B面がそのメサ側面となるよう形成し、その後メサストライプ部の両側に第2導電型電流ブロック層及び第1導電型電流ブロック層を成長するようにしたので、メサストライプ部のメサ側面上での結晶成長がメサストライプ部両側の平坦な部分に比べて抑えられることとなり、その(111)Bメサ側面上に位置する側端が、上記活性層側面上、あるいは該活性層側面に近接して位置する構造の第2導電型電流ブロック層を簡単に形成することができる効果がある。

【0124】この発明に係る半導体レーザの製造方法によれば、下クラッド層、ノンドープの活性層、及び上クラッド層からなるメサストライプ部を、(111)B面がそのメサ側面となるよう形成し、その後メサストライプ部の両側に第1の第2導電型電流ブロック層、不純物をドーブした高抵抗半導体層及び第2の第2導電型の電流ブロック層を成長するようにしたので、これにより第2の第2導電型の電流ブロック層が上クラッド層と電気的につながることとなり、上記クラッド層を成長する工程を簡略化することができる効果がある。

【0125】この発明に係る半導体レーザの製造方法によれば、半導体基板上に、第1導電型下クラッド層、ノンドープ活性層、及び第2導電型上クラッド層を順次結晶成長した後、該上クラッド層上に、これとは組成の異なる第1のキャップ層、及び該第1のキャップ層とは組成の異なる第2のキャップ層を順次形成し、続いて第2のキャップ層を除去した後、(110)方向に平行なストライプ状パターンを有するストライプ状絶縁膜を形成し、これをマスクとするエッチングによりメサストライプ部を形成するようにしたので、上記ストライプ状絶縁膜の成膜時にダメージを受けた第1のキャップ層は除去でき、これによりパターンニング用マスクを形成する際のダメージがメサストライプ部に残るのを回避することができる効果がある。

【0126】この発明に係る半導体レーザによれば、第2導電型下クラッド層と第1導電型上クラッド層との間に活性層を挟み込んでなる、(111)B面をそのメサ側面とするメサストライプ部を備えるとともに、該メサストライプ部両側の第2導電型半導体領域上に、不純物をドーブした高抵抗半導体層及び第1導電型の電流ブロック層を積層してなる光・電流閉込領域を備え、該光・

電流閉込領域を、上記第1導電型電流ブロック層の(111)Bメサ側面上に位置する側端が、上記第1導電型上クラッド層と活性層との境界上あるいは該境界より下側にこれに近接して位置する構造としたので、下クラッド層からこれと同一導電型の電流ブロック層への電流経路が遮断、あるいは狭められることとなり、これによりメサストライプ部内の活性層へ効率よく電流を注入でき、レーザの特性及び信頼性を向上することができる効果がある。

【0127】また、高抵抗半導体層がメサ側面に露出する活性層と接触することがなく、該高抵抗半導体層に含まれる不純物の活性層への拡散を防ぐことができる。

【0128】この発明に係る半導体レーザの製造方法によれば、下クラッド層、ノンドープの活性層、及び上クラッド層からなるメサストライプ部を、(111)B面がそのメサ側面となるよう形成し、その後メサストライプ部の両側に不純物をドーパした高抵抗半導体層及び第1導電型の電流ブロック層を順次成長するようにしたので、メサストライプ部のメサ側面上での結晶成長がメサストライプ部両側の平坦な部分に比べて抑えられることとなり、上記高抵抗半導体層の(111)Bメサ側面上に位置する側端が、該下クラッド層と活性層との境界上あるいは該境界より下側にこれに近接して位置する構造の電流ブロック層を簡単に形成することができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体レーザの構造を示す断面図である。

【図2】上記第1実施例による半導体レーザの製造方法を主要工程順に説明するための断面図である。

【図3】本発明の第2の実施例による半導体レーザの構造を説明するための図である。

【図4】上記第2実施例による半導体レーザの製造方法を主要工程順に説明するための断面図である。

【図5】本発明の第3の実施例による半導体レーザの構造を示す断面図である。

【図6】上記第3実施例による半導体レーザの製造方法を主要工程順に説明するための断面図である。

【図7】本発明の第4の実施例による半導体レーザの構造を示す断面図である。

【図8】上記第4実施例による半導体レーザの製造方法を主要工程順に説明するための断面図である。

【図9】再成長界面の不純物パイルアップを示す図である。

【図10】本発明の第5の実施例による半導体レーザの構造を示す断面図である。

【図11】上記第5実施例による半導体レーザの製造方法を主要工程順に説明するための断面図である。

【図12】本発明の第6の実施例による半導体レーザの構造を示す断面図である。

【図13】上記第6実施例による半導体レーザの製造方法を主要工程順に説明するための断面図である。

【図14】従来のn型InP基板上にFe-InP電流ブロック層を有する半導体レーザの構造を示す断面図である。

【図15】上記従来の半導体レーザを製造する方法を主要工程順に示す断面図である。

【図16】従来のp型InP基板上にFe-InP電流ブロック層を有する半導体レーザの構造を示す断面図である。

【図17】上記従来の、p型InP基板を用いた半導体レーザを製造する方法を主要工程順に示す断面図である。

【図18】従来のP基板上にpnp電流ブロック層を有する半導体レーザの構造を示す断面図である。

【図19】上記従来のpnp電流ブロック層を有する半導体レーザの製造方法を主要工程順に示す断面図である。

【図20】p-InP層とn-InP層との接合部分のエネルギーバンド構造を示す図である。

【図21】p-InP層、Fe-InP層及びn-InP層を積層してなる半導体層構造におけるエネルギーバンド構造を示す図である。

【図22】p-InP層上にn-InP層、Fe-InP層及びn-InP層を積層してなる半導体層構造におけるエネルギーバンド構造を示す図である。

【符号の説明】

- 1, 1a p-InP基板
- 1b p-InPクラッド層
- 2 ノンドープ活性層
- 2a InGaAsP層
- 3a 第1のn-InPクラッド層
- 3a1 n-InP層
- 3b, 3b1 第2のn-InPクラッド層
- 3c 第1のp-InPクラッド層
- 3d 第2のp-InPクラッド層
- 4 n-InP埋込層
- 5 半絶縁性InP埋込層
- 6 p-InP埋込層
- 7 n電極
- 8 p電極
- 10 絶縁膜
- 10a 絶縁膜開口
- 11 絶縁性マスク
- 12 SiO₂マスク
- 14 n-InP電流ブロック層
- 15, 15a Fe-InP高抵抗層
- 17 p-InP電流ブロック層
- 18 n-InP電流ブロック層
- 21 n-InP基板

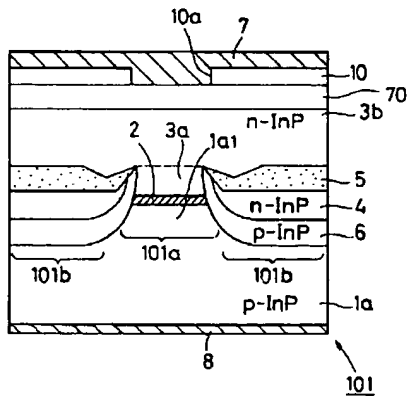
(17)

特開平7-22691

31

- 21b n-InP下クラッド層
 23 InGaAsPキャップ層
 24 InPキャップ層
 47 n-InP電流ブロック層

【図1】

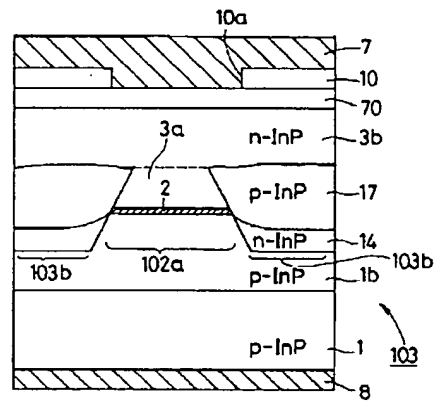


- 1: p-InP 基板
 1a1: p-InP下クラッド領域
 2: ノンドープ活性層
 3a: 第1のn-InP上クラッド層
 3b: 第2のn-InP上クラッド層
 4: n-InP 埋込層
 5: 半絶縁性InP埋込層
 10a: 絶縁膜開口
 6: p-InP 埋込層
 7: n 電極
 8: p 電極
 10: 絶縁膜
 101: 半導体レーザ
 101a: メサストライプ部
 101b: 光・電流閉込領域
 70: n-InP コンタクト層

32

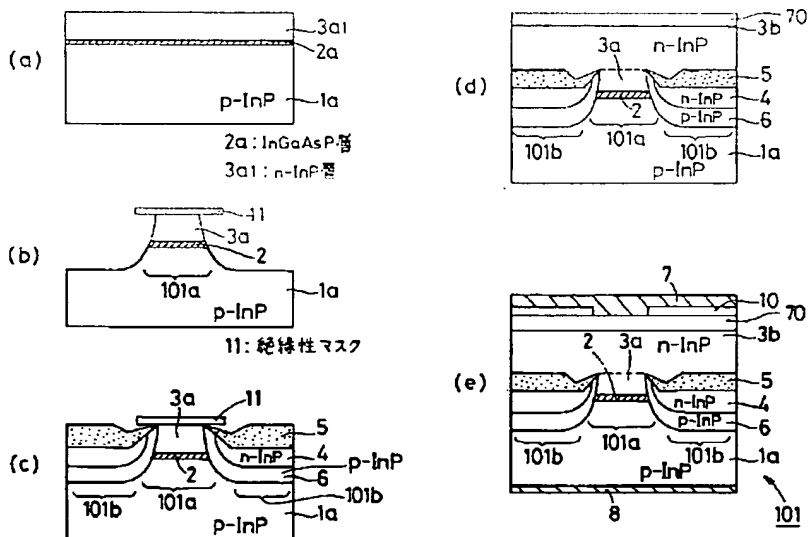
- 54 Fe-InP埋込み層
 101~106 半導体レーザ
 101a, 102a, 105a, 106a メサストライプ部

【図5】

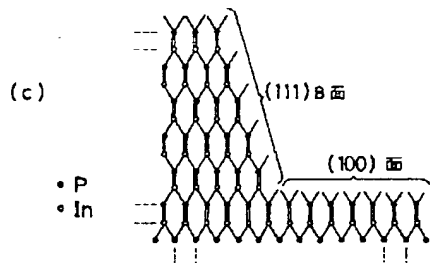
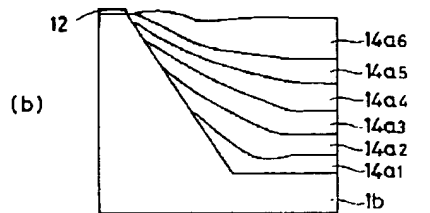
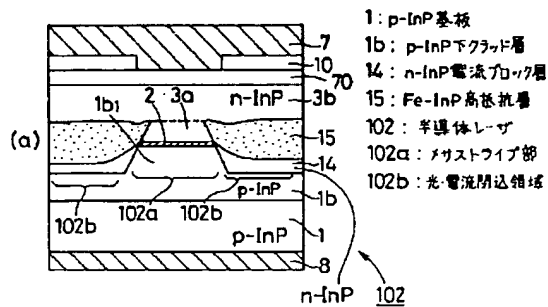


- 17: p-InP 電流ブロック層
 103: 半導体レーザ
 103b: 光・電流閉込領域

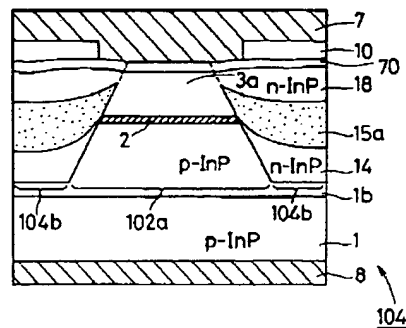
【図2】



【図3】

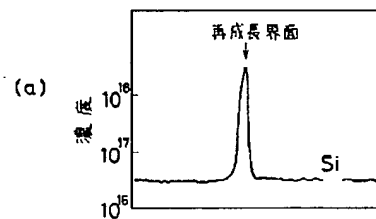


【図7】

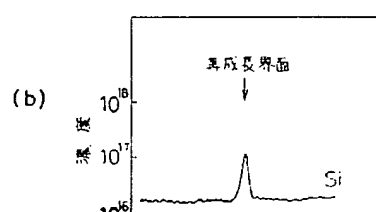
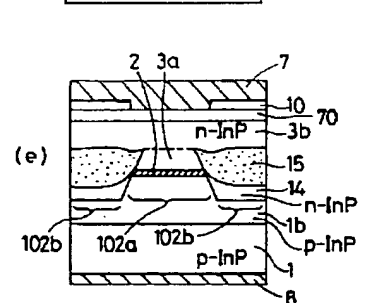
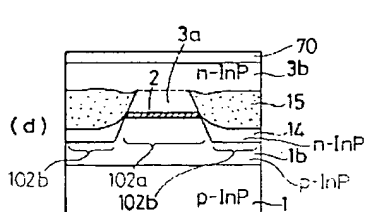
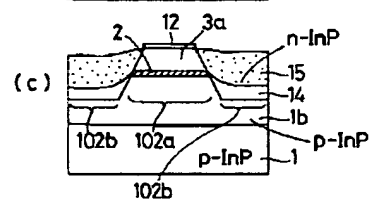
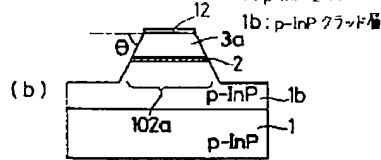
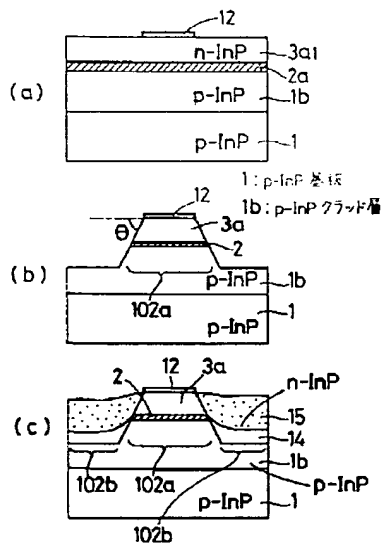


15a: Fe-InP 高抵抗層
18: n-InP 埋込層
104: 半導体レーザ
104b: 光電流閉込領域
71: 第1のn-InP コンタクト層
72: 第2のn-InP コンタクト層

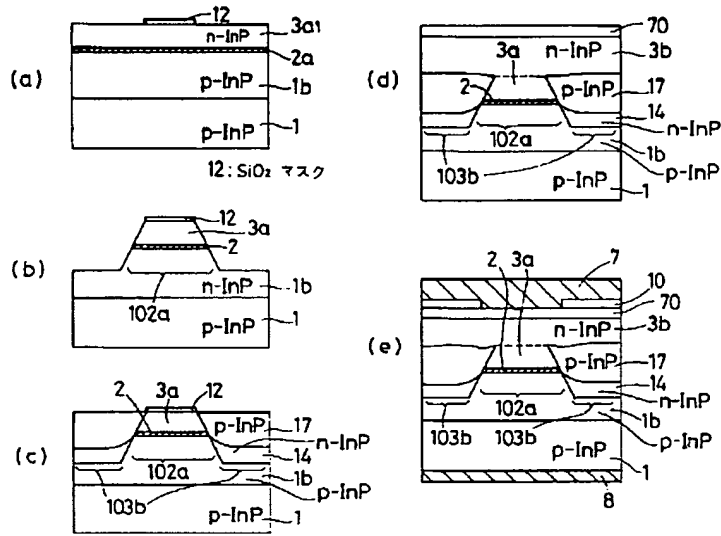
【図9】



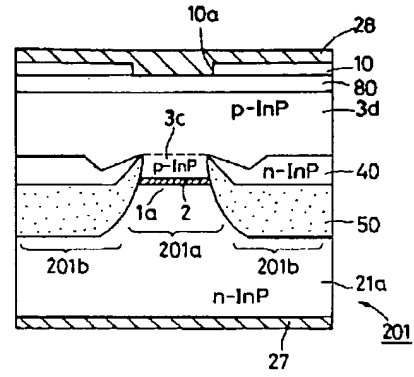
【図4】



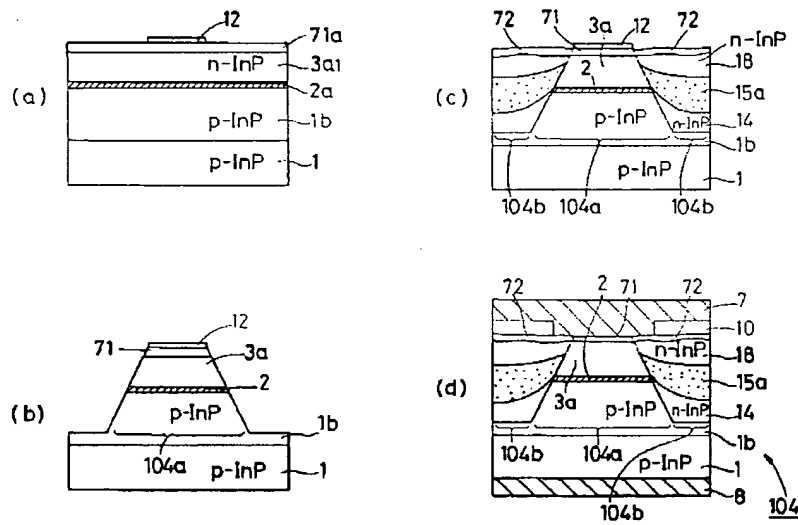
【図 6】



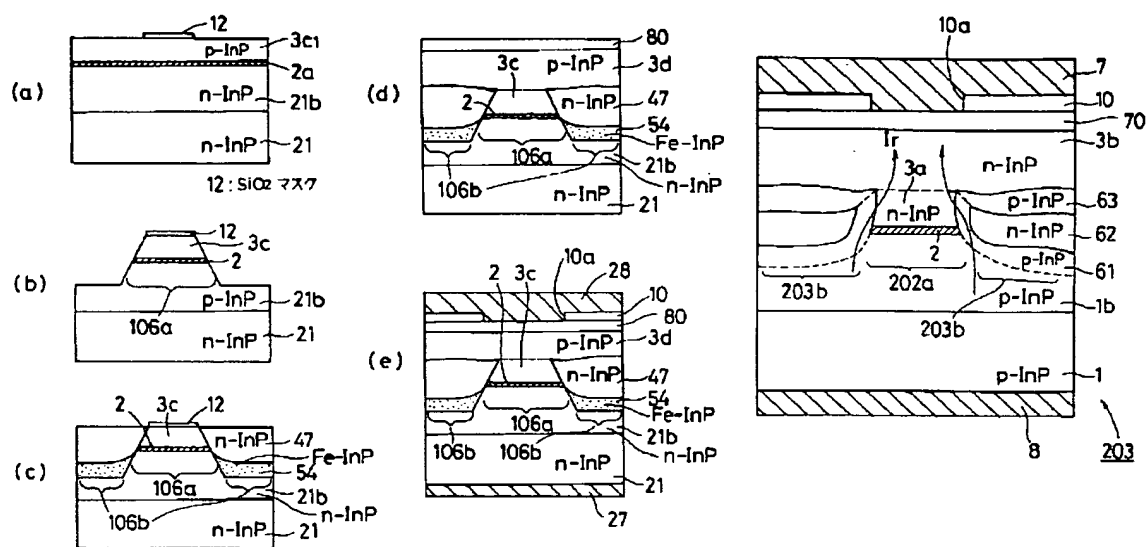
【図 14】



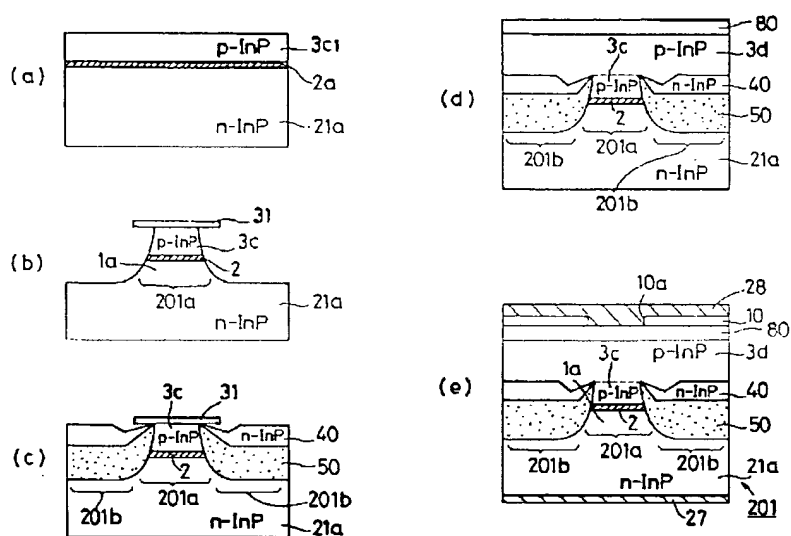
【図 8】



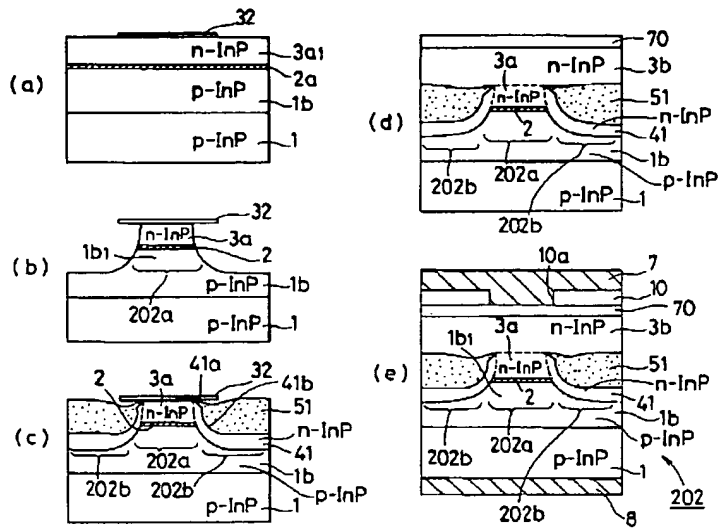
【图 18】



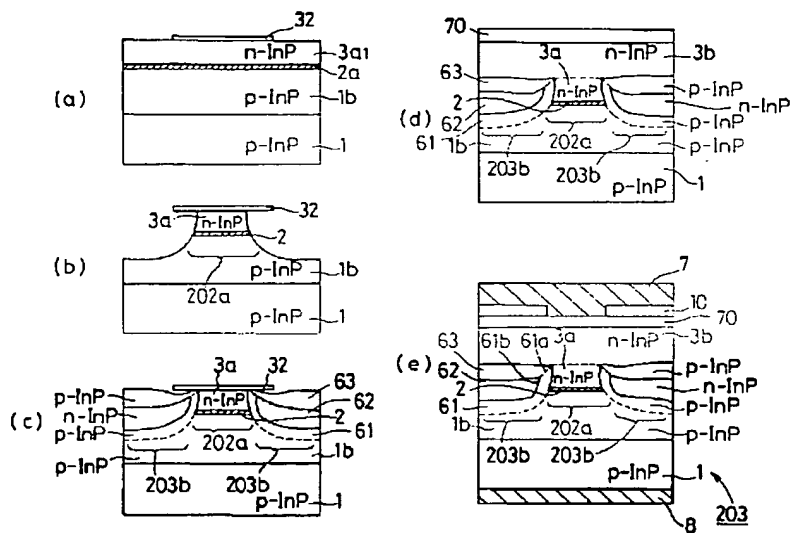
【图 15】



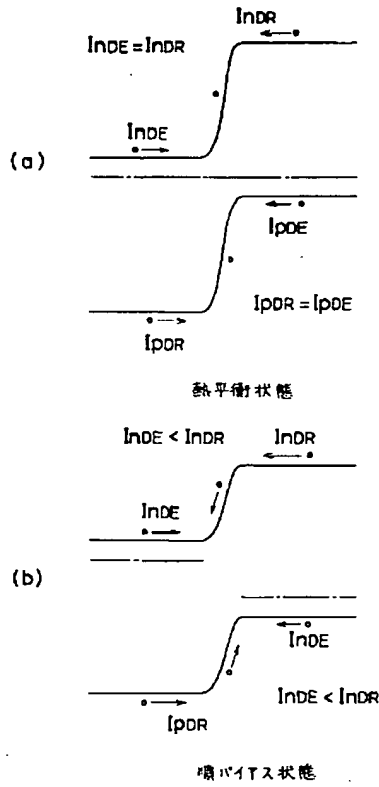
【図17】



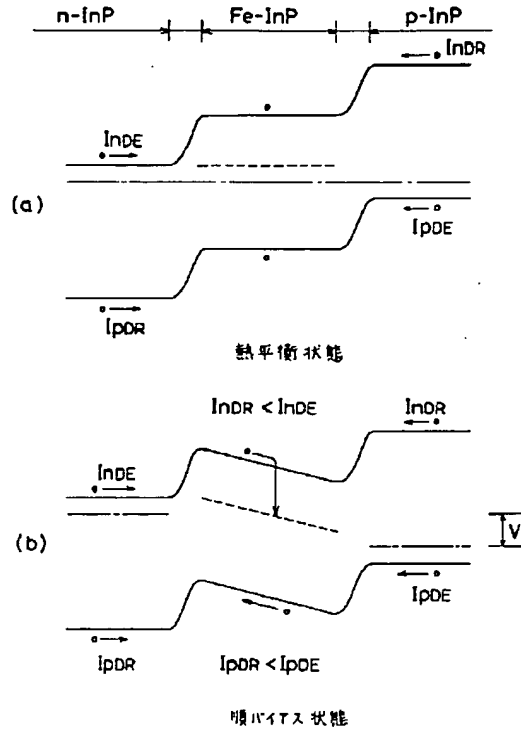
【図19】



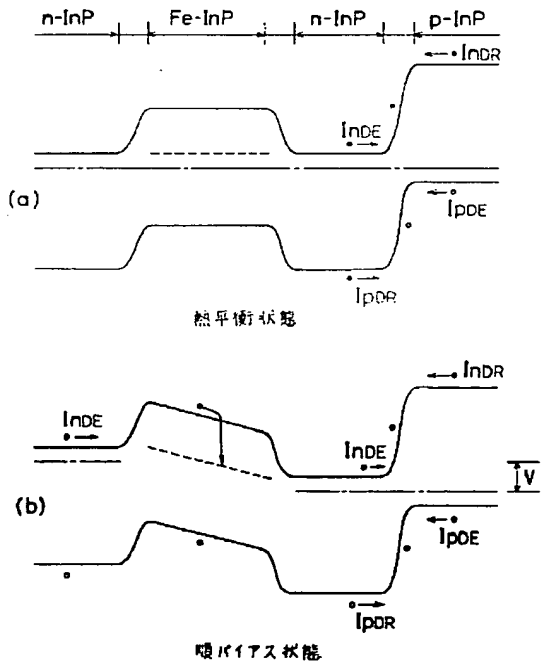
【図20】



【図21】



【図22】



【手続補正書】

【提出日】平成6年9月27日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】ここで、上記メサストライプ部201aは、n-InP基板21aの表面の断面メサ状部分1a上にノンドープ活性層2及びp-InPクラッド層3cを順次積層した構造となっており、また光・電流閉込領域201bは、上記n-InP基板21a上に上記メサストライプ部201aの側面を覆うよう形成された、Feをドープした半絶縁性InP埋込み層50と、該埋込み層50上に形成されたn-InP埋込み層40とから構成されている。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】そして上記メサストライプ部201a上及び光・電流閉込領域201b上には、全面に第2のp-InPクラッド層3d及びp-InPコンタクト層80が順次形成され、さらにその上には、上記メサストライプ部201aに対応する部分に開口10aを有する絶縁膜10を介してAuZn合金からなるp電極28が形成されており、また上記n-InP基板21aの裏面側にはCrAu合金からなるn電極27が全面に形成されている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】次に写真製版技術により上記p-InP層3c上に形成した、所定パターンを有する絶縁膜31をマスクとして、上記p-InP層3c1、アンドープInGaAsP層2a及びn-InP基板21aの表面部分を、HBr系のエッチング液により合わせて4.5μm程度選択的にエッチングして、メサストライプ部201aを形成する(図15(b))。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】続いて、2回目の結晶成長により、メサストライプ部201a両側のn-InP基板21a上に、Feをドープした半絶縁性InP埋込み層50を上記メサ

ストライプ部201aの側面を覆うよう形成し、さらにその上にn-InP層40をその表面がメサストライプ部201aの表面と一致する程度の厚さに形成して、光・電流閉込領域201bを形成する(図15(c))。ここで上記半絶縁性InP埋込み層50及びn-InP埋込み層40は、その平坦な部分での厚さがそれぞれ3μm、1.5μm程度になるよう形成しており、また各層50及び40の濃度は $4 \times 10^{16} \text{cm}^{-3}$ 、 $7 \times 10^{18} \text{cm}^{-3}$ 程度にしている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正内容】

【0008】そして、上記絶縁膜31を除去した後、メサストライプ部201aの第1のp-InP上クラッド層3c上及び光・電流閉込領域201bのn-InP層40上全面に濃度 $1 \times 10^{18} \text{cm}^{-3}$ 程度の第2のp-InP上クラッド層3dを厚さ1μm程度に形成し、さらにその上に濃度 $7 \times 10^{18} \text{cm}^{-3}$ 程度のp-InPコンタクト層80を厚さ0.5μm程度に形成する(図15(d))。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正内容】

【0009】その後、第2のp-InPコンタクト層80上に、メサストライプ部201aに対応する位置に開口部10aを有する絶縁膜10を介してp電極28を形成するとともに、n-InP基板21aの裏面側にn電極27を形成して、BH型半導体レーザ201を完成する(図15(e))。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正内容】

【0010】次に動作について説明する。上記n電極27及びp電極28に所定の電圧を印加すると、n-InP基板21a及び第2のp-InP上クラッド層3d間に電位差が生じ、電流が上記p-InPクラッド層3d側からInP基板21a側に流れる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】また、半絶縁性InP埋込み層50が、電

子を捕獲する深い準位を有したFeドーピングInP層で構成されているため、活性層2の脇は高抵抗になり、発光に寄与しない無効電流が小さく抑えられることとなる。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】次に、p-InP基板を用いた従来のBH型半導体レーザについて説明する。図16はこのBH型半導体レーザの構造を示す断面図、図17(a)～図17(e)はこの半導体レーザの製造方法を説明するための工程図である。図において、202は従来の半導体レーザで、1は(001)面または(001)面近傍の結晶面をその表面とするp-InP基板であり、該p-InP基板1上には、p-InP下クラッド層1bが形成されている。そしてこのp-InP下クラッド層1b表面の所定領域上には、(110)方向と平行な断面順メサ形状のメサストライプ部202aが形成されている。このメサストライプ部202aは、ノンドープのInGaAsP活性層2を上下から上記p-InP下クラッド層1bの表面領域の一部1b1と、n-InP上クラッド層3aとで挟み込んだ構造となっている。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】次に製造方法について説明する。まず、MOCVD法によりp-InP基板1の(001)面あるいはその近傍の結晶面上に、厚さ2μmのp-InP下クラッド層1b、厚さ0.1μmのアンダーインGaAsP層2a、及び厚さ0.5μmのn-InP層3a1を順次成長し、その上にスパッタ法により厚さ1000オングストロームのSiO₂膜を形成し、これを通常のホトレジスト技術を用いてパターニングして、(110)方向に平行なストライプ状パターンを有するSiO₂膜32を形成する(図17(a))。ここでは、上記p-InP下クラッド層1b及びn-InP層3a1の濃度はそれぞれ $1 \times 10^{18} \text{ cm}^{-3}$ 程度にしている。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】続いて、MOCVD法により、上記メサストライプ部両側に、濃度 $7 \times 10^{18} \text{ cm}^{-3}$ 程度のn-InP電流ブロック層41を厚さ1μm程度成長し、さらにその上にFeを $4 \times 10^{16} \text{ cm}^{-3}$ 程度ドーピングしたInP高抵抗層5-1を1.5μm程度の厚さに成長する(図17

(c))。この時、n-InP電流ブロック層41はメサストライプ部202aの側面を覆うよう形成され、該ブロック層41の、SiO₂膜32下面に対向する上端面41aは(111)B面となり、上記電流ブロック層41の、メサ側面に沿った側面41bは(221)B面となる。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】図22は上記光・電流閉込領域202b部分、つまりp-InPクラッド層1b、n-InP電流ブロック層41、Fe-InP高抵抗層51、及び第2のn-InPクラッド層3bからなる積層構造のエネルギーバンド構造を示す図であり、図22(a)はバイアスを印加していない熱平衡状態のエネルギーバンド構造を、図22(b)は順バイアスを印加した状態のエネルギーバンド構造を示している。また図21は、上記半導体レーザ202の光・電流閉込領域202bをFe-InP高抵抗層のみから構成した場合の光・電流閉込領域でのエネルギーバンド構造を示しており、図21(a)はバイアスを印加していない熱平衡状態、図21(b)はバイアスを印加した状態を示している。なお、図20は参考までに通常のPN接合部分のエネルギーバンド構造を、バイアスを印加していない熱平衡状態(図20(a))と、バイアスを印加した状態(図20(b))とにわけて示している。そしてこれらの図において、InDEは電子の拡散による電流、InDRは電子の電界による電流、IpDEは正孔の拡散による電流、IpDRは正孔の電界による電流である。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正内容】

【0024】これに対し、図16に示す構造のBH型半導体レーザ202のように、上記光・電流閉込領域202bをn-InP電流ブロック層41とその上のFe-InP高抵抗層51とから構成したもので、p電極8とn電極7に順バイアスを印加しても、p-InP下クラッド層1bとその上のn-InP電流ブロック層41との間のPN接合障壁の高さは変化しない。これは、Fe-InP高抵抗層51部分でエネルギーバンド構造が傾斜することにより、印加した順バイアスVが吸収されるためである。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正内容】

【0031】

【発明が解決しようとする課題】ところが、上述した各タイプの半導体レーザ201~203では、それぞれ以下に示すような問題がある。すなわち、図14に示す従来の半導体レーザ201では、半絶縁性InP層50と、p-InPクラッド層3cからZnが拡散して導電性がアンドープからp型に変わった活性層2とが接触しているため、半絶縁性InP層50にドーピングしているFeが活性層2中に拡散して活性層2が汚染されることとなり、半導体レーザの特性が悪化するという問題点があった。ここでp-InP層3dにドーピングされているZnの拡散長は0.3μmに対し、Feは約10μmである。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正内容】

【0034】さらに、上記半導体レーザ203の構造においても、図18に示すように無効電流 I_r がp-InP埋込層61からn-InPクラッド層3bに流れることとなり、また、図19(b)で示すメサストライプ部202aの側面（以下メサ側面ともいう。）には図9(a)で示すような不純物（Si）がパイルアップしているため、この不純物を介してアンドープ活性層2横を電流が流れる。この結果、効率的にアンドープ活性層2中に注入電流が流れないという問題がある。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正内容】

【0051】この発明に係る半導体レーザの製造方法は、第2導電型半導体基板の（001）面上または（001）面近傍の結晶面上に、第2導電型下クラッド層、ノンドープ活性層、及び第1導電型上クラッド層を順次結晶成長した後、（110）方向に平行なストライプ状パターンを有するストライプ状絶縁膜をマスクとして上記上クラッド層、活性層、及び下クラッド層を順次エッチングして、（111）B面をそのメサ側面とする（110）方向と平行なストライプ状パターンを有する断面順メサ形状のメサストライプ部を形成し、該メサストライプ部両側の第2導電型半導体領域上に、第2のキャリアがトラップされるよう不純物をドーピングした高抵抗半導体層を、その（111）Bメサ側面上の側端が上記上クラッド層と活性層との境界上、あるいは該境界より下側にこれに近接して位置するよう所定厚さに形成し、続いてその上の領域との間のPN接合障壁により第1のキャリアをブロックする第2導電型電流ブロック層を形成す

るものである。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0067

【補正方法】変更

【補正内容】

【0067】ここでは上記p-InP埋込層6及びn-InPクラッド層3bの不純物濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 程度、n-InP埋込層4及びn-InPコンタクト層70の不純物濃度は $7 \times 10^{18} \text{ cm}^{-3}$ 、Feドーピングの半絶縁性InP埋込層の不純物濃度は $4 \times 10^{16} \text{ cm}^{-3}$ 程度に設定している。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0074

【補正方法】変更

【補正内容】

【0074】次に製造方法について説明する。MOCVD法を用いてp-InP基板1上に厚さ2μm、濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のp-InPクラッド層1b、厚さ0.1μmのアンドープInGaAsP層2a、厚さ0.5μm、濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のn-InP層3a1を順次成長した後、スパッタ法を用いてSiO₂膜を成膜し、通常のホトレジスト技術を用いてパターンニングして、（110）方向に平行なストライプSiO₂マスク12を形成する（図4(a））。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0082

【補正方法】変更

【補正内容】

【0082】また、本実施例の半導体レーザの製造方法では、p-InP下クラッド層1b1とFe-InP高抵抗層15の間にn-InP電流ブロック層14があるため、該高抵抗層15中のFeが活性層2中に相互拡散せず、活性層の結晶性が損なわれない。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0088

【補正方法】変更

【補正内容】

【0088】その後は、上記第2実施例と同様にして、n-InPクラッド層3b及びn-InPコンタクト層70を形成し（図6(d））、さらにp電極8及びn電極7を形成して半導体レーザ103を完成する（図6(e））

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正内容】

【0089】このように本実施例では、メサストライプ部102aの両側の、 n - InP 電流ブロック層14上に p - InP 電流ブロック層17を形成してなる光・電流閉込領域103bを、上記 n - InP 電流ブロック層14の、(111)Bメサ側面上に位置する側端が、上記 $InGaAsP$ 活性層2と n - InP 上クラッド層3aとの境界上に位置する構造としたので、 n - InP 上クラッド層3aから n - InP 電流ブロック層14への電流経路が p - InP 電流ブロック層17により遮断されることとなり、これによりアンドープ活性層2わきを流れる無効電流を抑えて、活性層2へ効率よく電流を注入でき、レーザの特性及び信頼性を向上することができる。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0091

【補正方法】変更

【補正内容】

【0091】また、図6(b)、図6(c)に示すメサ形状及びメサ選択埋込み成長は酸素（空気に触れさせることなく行っているため、図9(b)に示すように成長界面の Si パイルアップが減り、 Si を通した無効電流を低減することができる。

【手続補正23】

【補正対象書類名】明細書

【補正対象項目名】0096

【補正方法】変更

【補正内容】

【0096】その後は、上記第2実施例と同様にして、 n 電極7を絶縁膜10を介して上記 n - InP コンタクト層71、72上に、 p 電極8を p - InP 基板1の裏面側に形成して半導体レーザ104を完成する（図8(d)）。

【手続補正24】

【補正対象書類名】明細書

【補正対象項目名】0098

【補正方法】変更

【補正内容】

【0098】なお、上記第4の実施例では、第2実施例の光・電流閉込領域102bにおける $Fe-InP$ 埋込層15上に n - InP 埋込層18を形成する場合を示したが、これは第3実施例の p - InP 電流ブロック層17上に形成してもよい。

【手続補正25】

【補正対象書類名】明細書

【補正対象項目名】0103

【補正方法】変更

【補正内容】

【0103】そして、 HF で SiO_2 マスク12を除去し、さらに硝酸で $n-InGaAsP$ キャップ層13aを除去した後（図11(d)）、 $n-InP$ クラッド層3b1を $1\mu m$ 程度の厚さに、さらに $n-InP$ コンタクト層70を $0.1\mu m$ 程度の厚さに成膜し（図11(e)）、最後に上記コンタクト層70上に絶縁膜10を介して n 電極7を形成し、 $p-InP$ 基板1の裏面側に p 電極8を形成して、半導体レーザ105を完成する（図11(f)）。

【手続補正26】

【補正対象書類名】明細書

【補正対象項目名】0106

【補正方法】変更

【補正内容】

【0106】実施例6. 図12は本発明の第6の実施例による半導体レーザの構造を示す断面図、図13は上記半導体レーザの製造方法を主要工程順に説明するための断面図である。図において、106は本実施例の半導体レーザ、21は(001)面または(001)面近傍の結晶面をその表面とする $n-InP$ 基板であり、該基板21上には、(110)方向と平行な断面順メサ形状のメサストライプ部106aが形成されている。このメサストライプ部106aは、 $p-InP$ 下クラッド層21bの突出部21b1と第1の $p-InP$ 上クラッド層3cとの間にアンドープ $InGaAsP$ 活性層2を挟み込んでなる、(111)B面をそのメサ側面とする構造となっている。

【手続補正27】

【補正対象書類名】明細書

【補正対象項目名】0113

【補正方法】変更

【補正内容】

【0113】そして最後に、 n 電極27を絶縁膜10を介して上記 $p-InP$ コンタクト層80上に、 p 電極28を $p-InP$ 基板1の裏面側に形成して半導体レーザ102を完成する（図13(e)）。

【手続補正28】

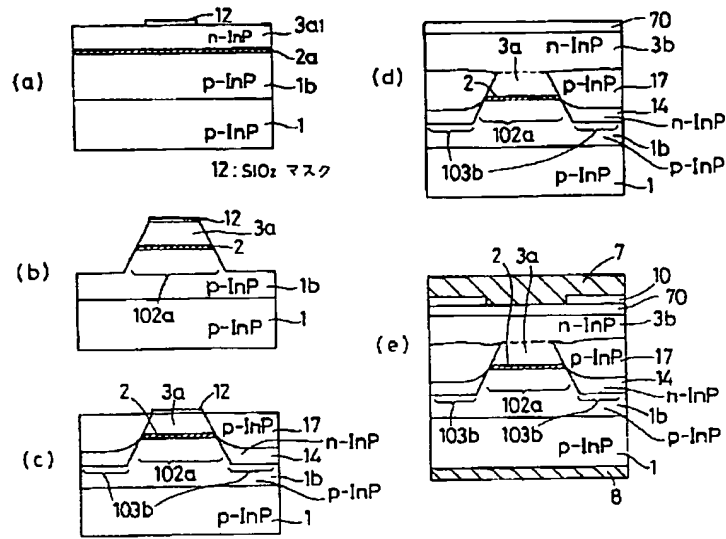
【補正対象書類名】図面

【補正対象項目名】図6

【補正方法】変更

【補正内容】

【図6】



【手続補正 29】

【補正対象書類名】図面

【補正対象項目名】図 19

【補正方法】変更

【補正内容】

【図 19】

